

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-47978

(P2000-47978A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.<sup>7</sup>

G 0 6 F 13/42

識別記号

3 2 0

3 5 0

F I

G 0 6 F 13/42

テーマコード(参考)

3 2 0 A 5 B 0 7 7

3 5 0 A

審査請求 有 請求項の数33 O L (全 43 頁)

(21) 出願番号

特願平10-215796

(22) 出願日

平成10年7月30日 (1998.7.30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 大山 浩司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100086645

弁理士 岩佐 義幸

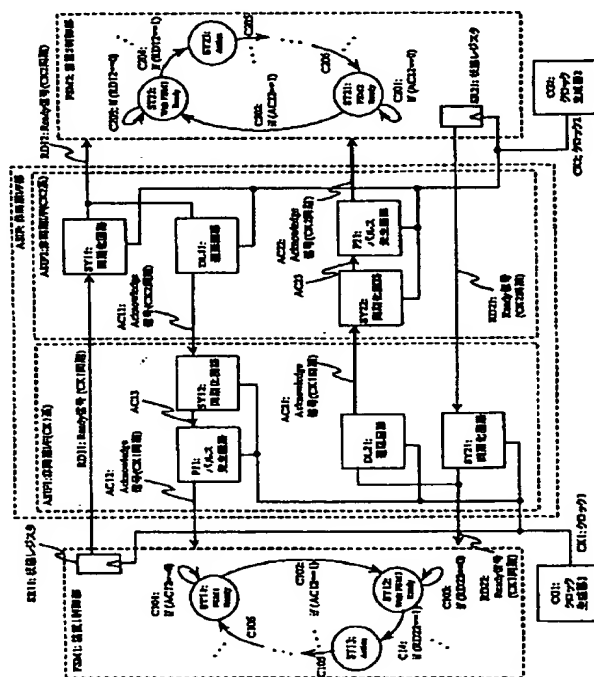
Fターム(参考) 5B077 FF02 GG02 GG15 MM01 MM02

(54) 【発明の名称】 対称型非同期インタフェース回路

(57) 【要約】

【課題】 処理を高速化し、オーバーヘッド時間を最小化し、設計の汎用性を拡大し、誤動作を防止する対称型非同期インタフェース回路を提供する。

【解決手段】 互いに非同期で動作する2装置間に、一方の装置から出力されたReady信号を入力して他方の装置側のクロックに同期化して他方の装置に出力する同期化回路SY11, SY21と、同期化回路SY11, SY21から出力されたReady信号を遅延させてAcknowledge信号として出力する遅延回路DL11, DL21と、遅延回路DL11, DL21から出力されたAcknowledge信号を一方の装置側のクロックに同期化させる同期化回路SY12, SY22と、同期化回路SY12, SY22から出力されたAcknowledge信号を入力して一方の装置に1クロックパルス outputsするパルス発生回路P11, P21とを備える。



Best Available Copy

1

## 【特許請求の範囲】

【請求項 1】互いに非同期で動作する第 1 の装置および第 2 の装置間に用いられる対称型非同期インタフェース回路において、

第 1 の装置の制御部から出力された制御信号を入力して第 2 の装置側のクロックに同期化して第 2 の装置に出力する第 1 の同期化回路と、

第 2 の装置側から出力された確認信号を遅延させる第 1 の遅延回路と、

第 1 の遅延回路から出力された確認信号を第 1 の装置側のクロックに同期化する第 2 の同期化回路と、

第 2 の同期化回路から出力された確認信号を入力して第 1 の装置に 1 クロックパルスを出力する第 1 のパルス発生回路と、

第 2 の装置の制御部から出力された制御信号を入力して第 1 の装置側のクロックに同期化して第 1 の装置に出力する第 3 の同期化回路と、

第 1 の装置側から出力された確認信号を遅延させる第 2 の遅延回路と、

第 2 の遅延回路から出力された確認信号を第 2 の装置側のクロックに同期化する第 4 の同期化回路と、

第 4 の同期化回路から出力された確認信号を入力して第 2 の装置に 1 クロックパルスを出力する第 2 のパルス発生回路と、を備えることを特徴とする対称型非同期インタフェース回路。

【請求項 2】前記第 1 の装置および第 2 の装置がデータバスを備えることを特徴とする請求項 1 に記載の対称型非同期インタフェース回路。

【請求項 3】前記第 1 の装置および第 2 の装置に外付けで用いられることを特徴とする請求項 1 または 2 に記載の対称型非同期インタフェース回路。

【請求項 4】前記第 1 の装置または第 2 の装置に内蔵されることを特徴とする請求項 1 または 2 に記載の対称型非同期インタフェース回路。

【請求項 5】前記第 1 のパルス発生回路と、第 2 の同期化回路と、第 3 の同期化回路と、第 2 の遅延回路とが前記第 1 の装置に内蔵され、第 2 のパルス発生回路と、第 1 の同期化回路と、第 4 の同期化回路と、第 1 の遅延回路とが前記第 2 の装置に内蔵されることを特徴とする請求項 1 または 2 に記載の対称型非同期インタフェース回路。

【請求項 6】第 1 の装置の制御部および／または第 2 の装置の制御部がアイドル状態を有しないことを特徴とする請求項 1 ～ 5 のいずれかに記載の対称型非同期インタフェース回路。

【請求項 7】前記第 1 および第 2 の遅延回路の遅延時間が、少なくとも 1 クロックであることを特徴とする請求項 1 ～ 6 のいずれかに記載の対称型非同期インタフェース回路。

【請求項 8】前記第 1 の遅延回路の遅延時間が、第 2 の

2

装置の制御部内での処理が終了したことを知らせる状態から相手の処理が終了するのを待つ状態までの遷移時間に等しく、前記第 2 の遅延回路の遅延時間が、第 1 の装置の制御部内での処理が終了したことを知らせる状態から相手の処理が終了するのを待つ状態までの遷移時間に等しいことを特徴とする請求項 1 ～ 6 のいずれかに記載の対称型非同期インタフェース回路。

【請求項 9】前記制御信号が、演算が終了した、もしくはデータが準備できたなどの基本動作が終了したことを表す Ready 信号であり、前記確認信号が、前記 Ready 信号が受けられたかを回答、もしくは Ready 信号をインアクティブにすることを要求する Acknowledge 信号であることを特徴とする請求項 1 ～ 8 のいずれかに記載の対称型非同期インタフェース回路。

【請求項 10】前記第 1 ～ 第 4 の同期化回路と、第 1 および第 2 の遅延回路と、第 1 および第 2 のパルス発生回路の記憶素子が D フリップフロップで構成されることを特徴とする請求項 1 ～ 9 のいずれかに記載の対称型非同期インタフェース回路。

【請求項 11】互いに非同期で動作する第 1 の装置および第 2 の装置間に用いられる対称型非同期インタフェース回路において、

第 1 の装置の制御部から出力された制御信号を入力して第 2 の装置側のクロックに同期化して第 2 の装置に出力する第 1 の同期化回路と、

第 2 の装置側から出力された確認信号を遅延させる第 1 の遅延回路と、

第 1 の遅延回路から出力された確認信号を第 1 の装置側のクロックに同期化して第 1 の装置に出力する第 2 の同期化回路と、

第 2 の装置の制御部から出力された制御信号を入力して第 1 の装置側のクロックに同期化して第 1 の装置に出力する第 3 の同期化回路と、

第 1 の装置側から出力された確認信号を遅延させる第 2 の遅延回路と、

第 2 の遅延回路から出力された確認信号を第 2 の装置側のクロックに同期化して第 2 の装置に出力する第 4 の同期化回路と、を備えることを特徴とする対称型非同期インタフェース回路。

【請求項 12】前記第 1 の装置および第 2 の装置がデータバスを備えることを特徴とする請求項 11 に記載の対称型非同期インタフェース回路。

【請求項 13】前記第 1 の装置および第 2 の装置に外付けで用いられることを特徴とする請求項 11 または 12 に記載の対称型非同期インタフェース回路。

【請求項 14】前記第 1 の装置または第 2 の装置に内蔵されることを特徴とする請求項 11 または 12 に記載の対称型非同期インタフェース回路。

【請求項 15】第 2 の同期化回路と、第 3 の同期化回路と、第 2 の遅延回路とが前記第 1 の装置に内蔵され、第

1の同期化回路と、第4の同期化回路と、第1の遅延回路とが前記第2の装置に内蔵されることを特徴とする請求項11または12に記載の対称型非同期インタフェース回路。

【請求項16】第1の装置の制御部および／または第2の装置の制御部がアイドルステート状態を有しないことを特徴とする請求項11～15のいずれかに記載の対称型非同期インタフェース回路。

【請求項17】前記第1および第2の遅延回路の遅延時間が、少なくとも1クロックであることを特徴とする請求項11～16のいずれかに記載の対称型非同期インタフェース回路。

【請求項18】前記第1の遅延回路の遅延時間が、第2の装置の制御部内での処理が終了したことを知らせる状態から相手の処理が終了するのを待つ状態までの遷移時間に等しく、前記第2の遅延回路の遅延時間が、第1の装置の制御部内での処理が終了したことを知らせる状態から相手の処理が終了するのを待つ状態までの遷移時間に等しいことを特徴とする請求項11～16のいずれかに記載の対称型非同期インタフェース回路。

【請求項19】前記制御信号が、演算が終了した、もしくはデータが準備できたなどの基本動作が終了したことを表すReady信号であり、前記確認信号が、前記Ready信号が受けられたかを回答、もしくはReady信号をインアクティブにすることを要求するAcknowledge信号であることを特徴とする請求項11～18のいずれかに記載の対称型非同期インタフェース回路。

【請求項20】前記第1～第4の同期化回路と、第1および第2の遅延回路の記憶素子がDフリップフロップで構成されることを特徴とする請求項11～19のいずれかに記載の対称型非同期インタフェース回路。

【請求項21】互いに非同期で動作する第1の装置および第2の装置間に用いられる対称型非同期インタフェース回路において、

第1の装置の制御部から出力された制御信号を入力して第2の装置側のクロックに同期化して第2の装置に出力する第1の同期化回路と、

第2の装置側から出力された確認信号を第1の装置側のクロックに同期化する第2の同期化回路と、

第2の同期化回路から出力された確認信号を入力して第1の装置に1クロックパルスを出力する第1のパルス発生回路と、

第2の装置の制御部から出力された制御信号を入力して第1の装置側のクロックに同期化して第1の装置に出力する第3の同期化回路と、

第1の装置側から出力された確認信号を第2の装置側のクロックに同期化する第4の同期化回路と、

第4の同期化回路から出力された確認信号を入力して第2の装置に1クロックパルスを出力する第2のパルス発

生回路と、を備えることを特徴とする対称型非同期インタフェース回路。

【請求項22】前記第1の装置および第2の装置がデータバスを備えることを特徴とする請求項21に記載の対称型非同期インタフェース回路。

【請求項23】前記第1の装置および第2の装置に外付けで用いられることを特徴とする請求項21または22に記載の対称型非同期インタフェース回路。

【請求項24】前記第1の装置または第2の装置に内蔵されることを特徴とする請求項21または22に記載の対称型非同期インタフェース回路。

【請求項25】前記第1のパルス発生回路と、第2の同期化回路と、第3の同期化回路とが前記第1の装置に内蔵され、第2のパルス発生回路と、第1の同期化回路と、第4の同期化回路ととが前記第2の装置に内蔵されることを特徴とする請求項21または22に記載の対称型非同期インタフェース回路。

【請求項26】第1の装置の制御部および／または第2の装置の制御部がアイドルステート状態を有しないことを特徴とする請求項21～25のいずれかに記載の対称型非同期インタフェース回路。

【請求項27】前記制御信号が、演算が終了した、もしくはデータが準備できたなどの基本動作が終了したことを表すReady信号であり、前記確認信号が、前記Ready信号が受けられたかを回答、もしくはReady信号をインアクティブにすることを要求するAcknowledge信号であることを特徴とする請求項21～26のいずれかに記載の対称型非同期インタフェース回路。

【請求項28】前記第1～第4の同期化回路と、第1および第2のパルス発生回路の記憶素子がDフリップフロップで構成されることを特徴とする請求項21～27のいずれかに記載の対称型非同期インタフェース回路。

【請求項29】互いに非同期で動作する2装置間をインタフェースする方法において、

それぞれ一方の装置から出力された制御信号を他方の装置側のクロックに同期化させて他方の装置に出力させ、他方の装置側から出力された確認信号を遅延させ、遅延された確認信号を一方の装置側のクロックに同期化させ、

同期化された確認信号を1クロックパルスを変換して一方の装置に出力させることを特徴とする2装置間をインタフェースする方法。

【請求項30】前記一方の装置および他方の装置がそれぞれデータバスを備えることを特徴とする請求項29に記載の2装置間をインタフェースする方法。

【請求項31】前記遅延信号の遅延時間が、少なくとも1クロックであることを特徴とする請求項29または30に記載の2装置間をインタフェースする方法。

【請求項32】前記遅延信号の遅延時間が、他方の装置

10

20

30

40

50

5

内での処理が終了したことを知らせる状態から一方の装置の処理が終了するのを待つ状態までの遷移時間に等しいことを特徴とする請求項29または30に記載の2装置間をインタフェースする方法。

【請求項33】前記制御信号が、演算が終了した、もしくはデータが準備できたなどの基本動作が終了したことを表すReady信号であり、前記確認信号が、前記Ready信号が受けられたかを回答、もしくはReady信号をインアクティブにすることを要求するAcknowledge信号であることを特徴とする請求項29～32のいずれかに記載の2装置間をインタフェースする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、クロックが可変で互いに非同期で動作する2装置間でハンドシェイクを行う対称型非同期インタフェース回路に関する。

【0002】

【従来の技術】互いに非同期で動作する2装置間に用いられる対称型非同期インタフェース回路の従来手法1を  
図30、図31に示す。図30は、従来手法1の概念図  
および周波数比率とオーバーヘッド時間比率との関係を表  
す図であり、図31は、従来手法1の回路構成図であ  
る。

【0003】従来手法1は、演算が終了した、もしくはデータが準備できたなどの基本動作が終了したことを表すReady信号を互いにハンドシェイクする2線式である。従来手法1では、装置1制御部FSM1と装置2制御部FSM2内にそれぞれカウンタを有し、装置1制御部FSM1と装置2制御部FSM2を駆動するクロック信号の周波数比率のWorst Caseから静的にReady信号のActive期間を設定している。また、誤動作を防止するため、相手先のReady信号がInactiveになるまで自らのReady信号をActiveにしないようにidle状態が必要である(図31のST14、ST24)。

【0004】対称型非同期インタフェース回路の従来手法2を図32～図35に示す。図32は、従来手法2の概念図および周波数比率とオーバーヘッド時間比率との関係を表す図であり、図33は、従来手法2の回路構成図である。図34は、周波数比 $f_{CK1}/f_{CK2}=2/3$ 、Duty比50%の場合のタイミングチャートであり、図35は、周波数比 $f_{CK1}/f_{CK2}=1/1$ 、位相差 $\theta_{CK2}-\theta_{CK1}=\pi$ 、Duty比50%の場合のタイミングチャートである。

【0005】従来手法2は、2線式ハンドシェイクを2つ用いて4線式とし、互いのReady信号だけでなく、Active期間を動的制御するAcknowledge信号のハンドシェイクを付加した多重型ハンドシェイク方式である。Ready信号のActive期間

6

を動的に設定するように変更することで、駆動するクロック信号の周波数適用範囲の制限を無くし、汎用性を高めた回路である。図32の周波数比率とオーバーヘッド時間比率との関係を表す図から、従来手法2では、周波数比率によらず、定常的なオーバーヘッド時間を有することが分かる。

【0006】次に、データバスを伴う従来手法2の動作について、図33の回路構成図、34のタイミングチャート、図11の同期化回路、図12の装置1データバスの回路構成図、図13の装置2データバスの回路構成図を参照して説明する。装置1から装置2に制御権が譲渡される流れを実線矢印で示し、装置2から装置1に制御権が譲渡される流れを点線矢印で示す。

【0007】1. 十分なりセット期間後(初期状態)、装置1制御部FSM1の初期ステートはST10となり、データバスのレジスタRG11は0となる。

【0008】2. 装置2制御部FSM2の初期ステートはST22となり、データバスのレジスタRG21は0となる。

【0009】3. クロック1(CK1)にて、カウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に挿入する。

【0010】4. 次の状態ST13に遷移する。

【0011】5. クロック2(CK1)にて、3と同様にカウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に戻す。この時点で、装置1側の処理は終了する。

【0012】6. 装置1が終了した(準備ができた)旨を相手先の装置2に知らせるための状態ST11に遷移することができるが、それはRD22の信号の状態によって決定される。この場合、RD22がInactive(0)であるので、次の状態としてST11に遷移できる。

【0013】7. クロック3(CK1)にて、状態ST11に遷移することによって、装置1の準備ができたことを示すRD11がActive(1)になる。

【0014】8. クロック4(CK2)にて、同期化回路SY11のDFF(DF111)によって、7のActive信号を立ち下がりエッジでラッチする(出力RD14を得る)。

【0015】9. クロック5(CK2)にて、8での信号を再度立ち上がりエッジでラッチし直す(DF112によって、出力RD12を得る)。RD12によりRD11の信号を装置2の同期回路で使用することができる。

【0016】10. 装置1が準備できたという意味のActive信号が伝搬されたので、装置2側の処理が開始できる状態となる。装置2は、ここで初めて装置1から制御権が移ったことを知る。7から9までの期間を同期化のためのオーバーヘッドという。

【0017】11. クロック4 (CK1) にて、同期化回路SY12のDFF (DF121) によって、9の信号のActive信号を立ち下がりエッジでラッチする(出力AC14を得る)。

【0018】12. クロック5 (CK1) にて、11での信号を再度立ち上がりエッジでラッチし直す(DF122によって、出力AC12を得る)。AC12によりAC11の信号を装置1の同期回路で使うことができる。

【0019】13. AC12は、7で出力したRD11のActive信号が、装置2で同期化されたことを確認するための信号である。これを受け取り、装置1の装置1制御部FSM1は、状態ST11から装置2の完了を待つ状態であるST12に遷移する。

【0020】14. クロック6, 7 (CK1) にて、装置2の準備完了の信号RD22がActive (1) になるまでST12の状態を待つ。

【0021】15. クロック5 (CK2) にて、装置2は装置1のデータD1を読み込む。データD1は、クロック3 (CK1) 以降では、データに変化はなく、安定した状態にある。このような静的データは、クロック系が異なる場合においても、同期化回路等のインタフェースを介することなくデータの授受が可能である。

【0022】16. 15のデータD1に対し、1をインクリメントし、それをカウントレジスタRG21にデータ挿入する。

【0023】17. 次の状態としてST23に遷移する。

【0024】18. クロック6 (CK2) にて、カウントレジスタRG21の値に対し、1をインクリメントし、そのデータをカウントレジスタRG21に戻す。この時点で、装置2側の処理は終了する。

【0025】19. 装置2が終了した(準備ができた)旨を装置1に戻すための状態ST21に遷移することができるが、それはRD12の信号の状態によって決定される。この場合、RD12がActive (1) であるので、ST21に遷移できずに、ST21への遷移を待たするためのアイドル状態であるST24に遷移する。

【0026】20. クロック7, 8 (CK2) にて、19と同様に、RD12がActive (1) であるので、アイドル状態ST24のままRD12がInactive (0) になるのを待つ。このアイドル状態の時間は、従来手法2の非同期ハンドシェイク手法において、動作を保証するために必要なオーバヘッド時間である。

【0027】21. クロック9 (CK2) にて、状態は20と同様にST24の状態のまま待つ。

【0028】22. 13に起因し、クロック6 (CK1) においてInactive (0) に変化したRD11の信号を、同期化回路SY11のDFF (DF111) によって、立ち下がりエッジでラッチする(出力R

D14を得る)。

【0029】23. クロック10 (CK2) にて、22での信号を再度立ち上がりエッジでラッチし直す。

【0030】24. RD12がInactive (0) となったので、アイドル状態ST24から、装置2が準備完了を通知する状態ST21に遷移する。

【0031】25. クロック11 (CK2) にて、ST21に遷移することによって、装置2が準備できたことを示すRD21がActive (1) になる。

【0032】26. クロック8 (CK1) にて、同期化回路SY21のDFF (DF211) によって、25のActive信号を立ち下がりエッジでラッチする(出力RD24を得る)。

【0033】27. クロック8 (CK1) にて、26の信号を再度立ち上がりエッジでラッチし直す(DF212によって、出力RD22を得る)。RD22によりRD21の信号を装置1の同期回路で使うことができる。

【0034】28. 装置2が準備できたという意味のActive信号が伝搬されたので、装置1側の処理が開始できる状態となる。装置1は、ここで初めて装置2から制御権が移ったことを知る。

【0035】以下同様に、装置1と装置2の制御権の切り替えを交互に行い、カウントレジスタの値をインクリメントする。

【0036】

【発明が解決しようとする課題】上述した従来手法1では、周波数比率のWorst Caseから静的にActive期間を設定するため、それぞれの回路仕様(周波数可動範囲)に応じてカウンタ値を計算および設定する必要があり、また、誤動作を防ぐため、相手先のReady信号がInactiveになるまで自らのReady信号をActiveにすることができない(アイドル状態が必要である)ため、汎用的ではなかった。さらに、高速動作時には、周波数比率が1に近づくに従ってオーバヘッドが現れるという問題があった。

【0037】また、従来手法2は、Ready信号のActive期間を動的に設定するように変更することで、従来手法1で問題となった駆動するクロック信号の周波数適用範囲の制限を無くし、汎用性を高めた回路である。しかし、従来手法2においても、次のような誤動作を生じるために、相手先のReady信号がInactiveになるまで自らのReady信号をActiveにすることができなかった。

(1) 第1の誤動作

ReadyのActive期間を規定するハンドシェイク(Ready-Acknowledge)は、同期化のための最小マージンしか考慮していない。Readyを受信側が受ける前に、送信側でReady-Acknowledgeハンドシェイクが完了し、ReadyをIn

activeにすることがある。この場合、受信側が参照しなければいけない状態の時、すでにInactiveに変化してしまっていることがある（二重ハンドシェイクの弊害）。

#### （2）第2の誤動作

AcknowledgeのActive期間を配慮していないので、2つのトランザクションの信号がオーバーラップすることがある。Ready信号を出す時点で、前回のトランザクションのAcknowledge信号が、まだActiveのままの状態である場合がある。その場合、今回に必要なReadyのActive期間を確保できず、Ready信号が相手先で受けることができないことがある（同期化に必要なマージンを得られない）。

【0038】したがって、従来手法2では、上述した誤動作を防ぐためにアイドルサイクル時間（Ready信号の通信中には相手側の次のReady信号を出してはいけない時間）を設けなければならない、高速切り替え時にアイドル状態のオーバーヘッドが現れるため、それが高速化の限界となっていた。

【0039】この発明の目的は、処理を高速化し、オーバーヘッド時間を最小化し、設計の汎用性を拡大し、誤動作を防止することのできる対称型非同期インタフェース回路を提供することにある。

#### 【0040】

【課題を解決するための手段】この発明は、互いに非同期で動作する第1の装置および第2の装置間に用いられる対称型非同期インタフェース回路において、第1の装置の制御部から出力されたReady信号を入力して第2の装置側のクロックに同期化して第2の装置に出力する第1の同期化回路と、第2の装置側から出力されたAcknowledge信号を遅延させる第1の遅延回路と、第1の遅延回路から出力されたAcknowledge信号を第1の装置側のクロックに同期化する第2の同期化回路と、第2の同期化回路から出力されたAcknowledge信号を入力して第1の装置に1クロックパルス出力する第1のパルス発生回路と、第2の装置の制御部から出力されたReady信号を入力して第1の装置側のクロックに同期化して第1の装置に出力する第3の同期化回路と、第1の装置側から出力されたAcknowledge信号を遅延させる第2の遅延回路と、第2の遅延回路から出力されたAcknowledge信号を第2の装置側のクロックに同期化する第4の同期化回路と、第4の同期化回路から出力されたAcknowledge信号を入力して第2の装置に1クロックパルス出力する第2のパルス発生回路と、を備えることを特徴とする。

#### 【0041】

【発明の実施の形態】この発明の対称型非同期インタフェース回路は、クロックが可変で互いに非同期で動作す

る2装置間で用いられるインタフェース回路であり、データの授受に関して何も問わない、制御権の受け渡しに関する回路である。

【0042】ここで、非同期とは、それぞれの装置が、それぞれのクロックに同期して動作し、2つのクロックに依存関係がなく、あるクロックに同期した信号は、別のクロック系の回路にとって同期した信号でないことをいう。

【0043】非同期インタフェース回路とは、クロック系の異なる2つの同期回路を接続する回路のことをいう。

【0044】クロックが可変とは、動作時にクロックが変化するのではなく、リセット時などにクロック周波数や位相を切り替えることができることをいう。

【0045】対称型とは、クロック周波数の大小関係が、2装置間で決まっておらず、周波数(Clock1) ≤ 周波数(Clock2)、周波数(Clock1) > 周波数(Clock2)のどちらにも対応することを目的に、対称な回路構成となっていることを指す。

【0046】次に、この発明の実施の形態について図面を参照して説明する。

【0047】図1は、この発明の対称型非同期インタフェース回路の実施の形態を示す回路構成図である。図1において、装置1制御部FSM1および装置2制御部FSM2は、排他的（交互）に動作し、対等関係にある（どちらもマスタ/スレーブになり得る）2つの装置を制御するステートマシンである。

【0048】各ステートマシンは、処理が終了したことを知らせる状態(ST11, ST21)、および相手の処理が終了するのを待つ状態(ST12, ST22)が必ず存在し、相手の動作が終了してから自分の動作が終了するまで(ST12→ST11, ST22→ST21の遷移パス)には、必ず1状態以上の遷移(ST13, ST23)が存在する。また、終了を表す状態(ST11, ST21)の状態コードは、ある状態レジスタ(SR11, SR21)の値が他の状態コードと排他であるようにし、それを終了信号(Ready信号)として出力する。

【0049】図1に示すこの発明の対称型非同期インタフェース回路ASIFは、遅延回路DL11, DL21と、パルス発生回路P11, P21と、同期化回路SY11, SY12, SY21, SY22とにより構成されており、遅延回路DL21、パルス発生回路P11、同期化回路SY12, SY21は、非同期インタフェース回路(CK1系)ASIF1を構成し、遅延回路DL11、パルス発生回路P21、同期化回路SY11, 22は、非同期インタフェース回路(CK2系)ASIF2を構成している。

【0050】同期化回路SY11の入力は、装置1制御部FSM1内の状態レジスタSR11に接続され、出力

11

は装置2制御部FSM2および遅延回路DL11の入力に接続されている。遅延回路DL11の出力は、同期化回路SY12の入力に接続され、同期化回路SY12の出力は、パルス発生回路P11の入力に接続され、パルス発生回路P11の出力は、装置1制御部FSM1に接続されている。

【0051】同様に、同期化回路SY21の入力は、装置2制御部FSM2内の状態レジスタSR21に接続され、出力は装置1制御部FSM1および遅延回路DL21の入力に接続されている。遅延回路DL21の出力は、同期化回路SY22の入力に接続され、同期化回路SY22の出力は、パルス発生回路P21の入力に接続され、パルス発生回路P21出力は、装置2制御部FSM2に接続されている。

【0052】装置1制御部FSM1、遅延回路DL21、パルス発生回路P11、同期化回路SY12、SY21は、クロック生成器CG1で生成されるクロック信号CK1で駆動されており、装置2制御部FSM2、遅延回路DL11、パルス発生回路P21、同期化回路SY11、22は、クロック生成器CG2で生成されるクロック信号CK2で駆動されている。クロック信号CK1、CK2は、それぞれ独立であり、クロックの周波数、位相は可変である。

【0053】次に、この実施の形態の動作について説明する。

【0054】装置1制御部FSM1の演算が終了した、もしくはデータが準備できたなどの基本動作が終了したことを表すReady信号RD11が、装置1制御部FSM1の状態レジスタSR11から同期化回路SY11に出力されると、同期化回路SY11では、装置2制御部FSM2側のクロックに同期化して装置2制御部FSM2および遅延回路DL11にReady信号RD12を出力する。装置2制御部FSM2は、Ready信号RD12を受け取るにより、処理を開始し、ST22からST23に遷移する。

【0055】遅延回路DL11は、同期化回路SY11から出力されたReady信号RD12を少なくとも1クロック遅延させ、Ready信号が装置2制御部FSM2で受けられたかを回答、もしくはReady信号をInactiveにすることを要求するAcknowledge信号AC11を同期化回路SY12に出力する。同期化回路SY12では、Acknowledge信号AC11を装置1制御部FSM1側のクロックに同期化させてAcknowledge信号AC13をパルス発生回路P11に出力する。パルス発生回路P11では、Acknowledge信号AC13を1クロックパルスにして装置1制御部FSM1にAcknowledge信号AC12を出力する。装置1制御部FSM1では、Acknowledge信号AC12を受け取ると、ST11からST12に遷移する。

12

【0056】装置2制御部FSM2の処理が終了すると、Ready信号RD21が、装置2制御部FSM2の状態レジスタSR21から同期化回路SY21に出力される。同期化回路SY21では、装置1制御部FSM1側のクロックに同期化して装置1制御部FSM1および遅延回路DL21にReady信号RD22を出力する。装置1制御部FSM1は、Ready信号RD22を受け取るにより、処理を開始し、ST12からST13に遷移する。

【0057】遅延回路DL21は、同期化回路SY21から出力されたReady信号RD22を少なくとも1クロック遅延させ、Acknowledge信号AC21を同期化回路SY22に出力する。同期化回路SY22では、Acknowledge信号AC21を装置2制御部FSM2側のクロックに同期化させてAcknowledge信号AC23をパルス発生回路P21に出力する。パルス発生回路P21では、Acknowledge信号AC23を1クロックパルスにして装置2制御部FSM2にAcknowledge信号AC22を出力する。装置2制御部FSM2では、Acknowledge信号AC22を受け取ると、ST21からST22に遷移する。

【0058】同期化回路SY11、SY12、SY21、SY22は、装置1制御部FSM1および装置2制御部FSM2間のハンドシェイクの出力信号が、受信側にとっては同期信号ではないため、その信号を受信側のクロックで同期化する回路である。

【0059】遅延回路DL11、DL21は、少なくとも1クロック遅延させる回路である。4線式の制御では、ある一方のReady信号がインアクティブになる前に、もう一方のReady信号をアクティブにすると、周波数関係によっては、Ready信号が相手先のステートマシンで受け取られる前に、出力側が先にAcknowledge信号を受け、Inactiveとしてしまい、状態遷移に誤動作が起こる場合があるので、ハンドシェイク信号を正しい状態／タイミングで受信するため、遅延回路DL11、DL21が存在する。

【0060】パルス発生回路P11、P21は、1クロックパルスを発生する回路である。この対称型非同期インタフェース回路では、基本的にハンドシェイク信号のActive期間の1クロック目をレベル検出して状態が進むことを想定している。ハンドシェイク信号の立ち下がるタイミング(Active期間の長さ)をステートマシンが考慮しない。レベル検出であると、高速切り替えの場合、周波数関係によっては、2つのトランザクションの信号がオーバーラップし、1つ前のトランザクションのアクティブレベルを誤って検出してしまうことがある。各トランザクションのハンドシェイクの信号を切り分ける意味において、Acknowledge信号をエッジ検出し、誤動作を避ける。そのエッジ検出のため



に、1クロックパルス発生回路P11、P21が存在する。

【0061】この発明の対称型非同期インタフェース回路は、以下の3つの形態で用いることができる。

【0062】第1の形態は、対称型非同期インタフェース回路を外付けしたものであり、その例を図4、図5に示す。図4は、データバスがある場合の外付け対称型非同期インタフェース回路であり、図5は、データバスがない場合の外付け対称型非同期インタフェース回路である。

【0063】第2の形態は、対称型非同期インタフェース回路を内蔵し、4線式としたものであり、その例を図6、図7に示す。図6は、データバスがある場合の内蔵4線式の対称型非同期インタフェース回路であり、図7は、データバスがない場合の内蔵4線式の対称型非同期インタフェース回路である。

【0064】第3の形態は、対称型非同期インタフェース回路を内蔵し、3線式としたものであり、その例を図8、図9に示す。図8は、データバスがある場合の内蔵3線式の対称型非同期インタフェース回路であり、図9は、データバスがない場合の内蔵3線式の対称型非同期インタフェース回路である。

【0065】図4～図9において、装置1、2は、半導体装置、LSI/IC、LSI内のマイクロモジュールを指す。

【0066】次に、この発明の対称型非同期インタフェース回路が、従来手法2の回路に遅延回路およびパルス発生回路を追加した理由、および従来手法2よりもオーバーヘッド時間が小さく、また誤動作が起こらない理由を説明する。

【0067】上述した従来手法2の問題点を考察すると、従来手法2では、トランザクション量が多い、すなわち切り替えが頻繁に起こる場合にオーバーヘッド時間が大きいという問題があった。

【0068】切り替えが頻繁に起こるのは、転送データバンド幅が大きく、データ量が多くても1クロックで多くのデータを転送できる場合、および転送データ量が少なく、データバンド幅が小さくても短いクロック期間で必要なデータ転送を完了できる場合である。

【0069】オーバーヘッド時間の要因の1つは、非同期信号の同期化時間であり、同期化回路は必須なので、削除することはできない。しかし、もう1つのオーバーヘッド時間の要因である、動作を保証するためのアイドルサイクル時間(Ready信号の通信中には相手側の次のReady信号を出してはいけない)を削減できるのではないか、というのがこの発明をする動機となったものである。

【0070】単純にアイドルサイクルを除去すると、処理が終了した時点でいつでも制限無くReady信号を出力することができ(ステートマシン設計時に考慮すべ

きことが減る)、制御切り替え時のオーバーヘッド時間を削減することができるが(処理の高速化)、Ready(装置n)-Acknowledge(装置n)、Ready(装置1)-Ready(装置2)の二重ハンドシェイクのオーバーラップが原因となつて、誤動作を起こす。

【0071】以下、誤動作の要因を詳細に説明する。

(1) 第1の誤動作

ReadyのActive期間を規定するハンドシェイク(Ready-Acknowledge)は、同期化のための最小マージンしか考慮していない。Readyを受信側が受ける前に、送信側でReady-Acknowledgeハンドシェイクが完了し、ReadyをInactiveにすることがある。この場合、受信側が参照しなければいけない状態の時、すでにInactiveに変化してしまっていることがある(二重ハンドシェイクの弊害)。

(2) 第2の誤動作

AcknowledgeのActive期間を配慮していないので、2つのトランザクションの信号がオーバーラップすることがある。Ready信号を出す時点で、前回のトランザクションのAcknowledge信号が、まだActiveのままの状態である場合がある。その場合、今回に必要なReadyのActive期間を確保できず、Ready信号が相手先で受けることができないことがある(同期化に必要なマージンを得られない)。

【0072】次に、従来手法2の制御部FSM1、FSM2からアイドルステートST14、ST24を除いた場合の第1の誤動作を説明する。図10は、従来手法2からアイドルステートST14、ST24を除いた場合の実施例を示す回路構成図であり、図11は、DFFを2つ使用する同期化回路を示す図である。前段は、クロックの立ち上がりエッジで同期し、後段はクロックの立ち上がりエッジで同期する。同期化回路で信号を2段のDFFで切り直すことにより、切り直したクロック系の回路において同期信号として使用することができる。つまり、非同期の信号という意識なしに、通常の同期設計ができる。

【0073】DFFのsetup-hold時間内でデータ入力信号を変化させないのが同期設計の基本的な考え方であるが、非同期では変化する場合がある。DFF入力信号が変化した場合、DFF出力信号は、以下の特徴を有する。

【0074】グリッチ(ノイズ)が出ることがある。0、1のどちらになるか保証がない(確率的である)。グリッチ信号は、ある時間(メタステーブル時間という)後に0もしくは1に収束する。値の収束は、0、1のどちらになるか保証がない。上位設計では、収束が確率的であると見なす。グリッチ信号は、DFFを2段使



15

用することで除くことができる。グリッチ信号は、同期回路設計では考慮しないため、もしグリッチ信号が発生した場合には、同期設計上での遅延見積もりができない。

【0075】以下、データバスを伴う構成を想定して第1の誤動作を説明する。実施例の回路は、1つつインクリメントを1回の制御権で2回行う回路である。

【0076】図12は、装置1データバスの回路構成図であり、図13は、装置2データバスの回路構成図である。図14は、装置1制御部の状態遷移および回路構成を示す図であり、図15、装置2制御部の状態遷移および回路構成を示す図である。図16は、周波数比 $f_{CK1}/f_{CK2}=1/3$ 、Duty比50%の場合のタイミングチャートである。

【0077】装置1から装置2に制御権が譲渡される流れを実線矢印で示し、装置2から装置1に制御権が譲渡される流れを点線矢印で示す。

【0078】1. 十分なりセット期間後（初期状態）、装置1の装置1制御部FSM1の初期ステートはST10となり、データバスのレジスタRG11は0となる。

【0079】2. 装置2の装置2制御部FSM2の初期ステートはST22となり、データバスのレジスタRG21は0となる。

【0080】3. クロック1（CK1）にて、カウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に挿入する。

【0081】4. 次の状態ST13に遷移する。

【0082】5. クロック2（CK1）にて、3と同様にカウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に戻す。この時点で、装置1側の処理は終了する。

【0083】6. 装置1が終了した（準備ができた）旨を相手先の装置2に知らせるための状態ST11に遷移する。

【0084】7. クロック3（CK1）にて、状態ST11に遷移することによって、装置1の準備ができたことを示すRD11がActive（1）になる。

【0085】8. クロック7（CK2）にて、同期化回路SY11のDFF（DF111）によって、7のActive信号を立ち下がりエッジでラッチする（出力RD14を得る）。

【0086】9. クロック8（CK2）にて、8での信号を再度立ち上がりエッジでラッチし直す（DF112によって、出力RD12を得る）。

【0087】10. 装置1が準備できたという意味のActive信号が伝搬されたので、装置2側の処理が開始できる状態となる。

【0088】11. クロック4（CK1）にて、同期化回路SY12のDFF（DF121）によって、9の信号のActive信号を立ち下がりエッジでラッチする

16

（出力AC14を得る）。

【0089】12. クロック5（CK1）にて、11での信号を再度立ち上がりエッジでラッチし直す（DF122によって、出力AC12を得る）。

【0090】13. AC12は、7で出力したRD11のActive信号が、装置2で同期化されたことを確認するための信号である。これを受け取り、装置1の装置1制御部FSM1は、状態ST11から装置2の完了を待つ状態であるST12遷移する。

10 【0091】14. クロック6（CK1）にて、装置2の準備完了の信号RD22がActive（1）になるまでST12の状態で待つ。

【0092】15. クロック8（CK2）にて、装置2が装置1のデータD1を読み込む。データD1は、クロック3（CK1）以降では、データに変化はなく、安定した状態にあるため、正常な値を得ることができる。

【0093】16. 15のデータD1に対し、1をインクリメントし、それをカウントレジスタRG21にデータ挿入する。

20 【0094】17. 次の状態としてST23に遷移する。

【0095】18. クロック9（CK2）にて、カウントレジスタRG21の値に対し、1をインクリメントし、そのデータをカウントレジスタRG21に戻す。この時点で、装置2側の処理は終了する。

【0096】19. 装置2が終了した（準備ができた）旨を装置1に戻すための状態ST21に遷移する。

【0097】20. クロック10（CK2）にて、ST21に遷移することによって、装置2の準備ができたことを示すRD21がActive（1）になる。

【0098】21. クロック4（CK1）にて、同期化回路SY21のDFF（DF211）によって、20のActive信号を立ち下がりエッジでラッチする（出力RD24を得る）。

【0099】22. クロック5（CK1）にて、21での信号を再度立ち上がりエッジでラッチし直す（DF212によって、出力RD22を得る）。

【0100】23. 装置2が準備できたという意味のActive信号が伝搬されたので、装置1側の処理が開始できる状態となる。しかし、13に示す装置1のReady信号RD11のReady-Acknowledgeハンドシェイクが完了していないため、この時点では装置1の次の処理を開始することができない。実際に処理が開始されるのは次のクロックに持ち越される。持ち越されるのは最悪でも1クロックである。なぜならば、 $(AC11 (=RD12) \text{のActive信号出力時刻}) < (RD21 \text{のActive信号出力時刻})$  であるので、 $(AC11 \text{の同期化時刻}) \leq (RD21 \text{の同期化時刻})$ 、つまり $(AC12 \text{のActive信号出力時刻}) \leq (RD22 \text{のActive信号出力時刻})$  という

50

17

関係が成り立つからである。

【0101】24. クロック12 (CK2) にて、22の信号変化は、クロック12 (CK2) の立ち下がりエッジにおける、同期化回路SY22のDFF (DF221) のset up-hold時間内で起こる。DF221の出力値は確率的に決まるが、この場合、信号変化を正常に認識し、1に収束したとする。

【0102】25. 24の信号は、収束するまでの時間を伴うため、同期回路で使用できるように、再度立ち上がりエッジでラッチし直す (DF222によって、出力AC22を得る)。

【0103】26. AC22は、20で出力したRD21のActive信号が、装置1で同期化されたことを確認するための信号である。これを受け取り、装置2の装置2制御部FSM2は、状態ST21から装置1の完了を再び待つ状態であるST22遷移する。

【0104】27. クロック14 (CK2) にて、装置1の準備完了の信号RD12がActive (1) になるまでST22の状態待つ。

【0105】28. ST22に遷移することによって、20でActiveにした信号をInactive (0) にする。

【0106】29. クロック5 (CK1) にて、28の信号変化は、クロック5 (CK1) の立ち下がりエッジにおける、同期化回路SY21のDFF (DF211) のset up-hold時間内で起こる。DF211の出力値は確率的に決まるが、この場合、信号変化を正常に認識し、1に収束したとする。

【0107】30. クロック6 (CK1) にて、29の信号は、収束するまでの時間を伴うため、同期回路で使用できるように、再度立ち上がりエッジでラッチし直す (DF212によって、出力RD22を得る)。

【0108】31. クロック6の状態は、装置1が装置2の準備完了を待つ状態である。しかし、準備完了を通知する信号は、クロック5でActiveになったにも関わらず、クロック6ではInactiveになってしまっている。しがたって、装置1および装置2ともに相手の終了を待つ状態となり、デッドロック状態に陥る。このようなことは、ある周波数関係によって起こり得る。これは、23のように、非同期信号のAcknowledge信号とReady信号を受信する際、(Acknowledge (=AC12) 信号の到着時刻) = (Ready (=RD22) 信号の到着時刻) の場合があり、ステートマシンが相手側のReady信号を認識するために1クロック持ち越すことがあるためである。したがって、二重ハンドシェイクの動作保証をするためには、従来手法2のように、それぞれのハンドシェイクにオーバーラップが起らないようにする方法と探ることが1つの解決方法である。

【0109】次に、従来手法2の制御部FSM1、FS

18

M2からアイドルステートST14, ST24を除いた場合の第2の誤動作を説明する。図17は、周波数比 $f_{CK1}/f_{CK2} = 1/1$ 、位相差 $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%の場合のタイミングチャートである。

【0110】1. 十分なりセット期間後 (初期状態)、装置1の装置1制御部FSM1の初期ステートはST10となり、データバスのレジスタRG11は0となる。

【0111】2. 装置2の装置2制御部FSM2の初期ステートはST22となり、データバスのレジスタRG21は0となる。

【0112】3. クロック1 (CK1) にて、カウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に挿入する。

【0113】4. 次の状態ST13に遷移する。

【0114】5. クロック2 (CK1) にて、3と同様にカウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に戻す。この時点で、装置1側の処理は終了する。

【0115】6. 装置1が終了した (準備ができた) 旨を相手先の装置2に知らせるための状態ST11に遷移する。

【0116】7. クロック3 (CK1) にて、状態ST11に遷移することによって、装置1の準備ができたことを示すRD11がActive (1) になる。

【0117】8. クロック2 (CK2) にて、7の信号変化は、クロック2 (CK2) の立ち下がりエッジにおける同期化回路SY11のDFF (DF111) のset up-hold時間内で起こる。DF111の出力値は、確率的に決まるが、この場合、信号変化を正常に認識し、1に収束したとする。

【0118】9. クロック3 (CK2) にて、8の信号は、収束するまでの時間を伴うため、同期回路で使用できるように、再度立ち上がりエッジでラッチし直す (DF112によって、出力RD12を得る)。

【0119】10. 装置1が準備できたという意味のActive信号が伝搬されたので、装置2側の処理が開始できる状態となる。

【0120】11. クロック4 (CK1) にて、同期化回路SY12のDFF (DF121) によって、9の信号のActive信号を立ち下がりエッジでラッチする (出力AC14を得る)。

【0121】12. クロック5 (CK1) にて、11での信号を再度立ち上がりエッジでラッチし直す (DF122によって、出力AC12を得る)。

【0122】13. AC12は、7で出力したRD11のActive信号が、装置2で同期化されたことを確認するための信号である。これを受け取り、装置1の装置1制御部FSM1は、状態ST11から装置2の完了を待つ状態であるST12遷移する。

【0123】14. クロック6 (CK1) にて、装置2

19

の準備完了の信号RD22がActive (1) になるまでST12の状態で待つ。

【0124】15. クロック3 (CK2) にて、装置2が装置1のデータD1を読み込む。データD1は、クロック3 (CK1) 以降では、データに変化はなく、安定した状態にあるため、正常な値を得ることができる。

【0125】16. 15のデータD1に対し、1をインクリメントし、それをカウントレジスタRG21にデータ挿入する。

【0126】17. 次の状態としてST23に遷移する。 10

【0127】18. クロック4 (CK2) にて、カウントレジスタRG21の値に対し、1をインクリメントし、そのデータをカウントレジスタRG21に戻す。この時点で、装置2側の処理は終了する。

【0128】19. 装置2が終了した (準備ができた) 旨を装置1に戻すための状態ST21に遷移する。

【0129】20. クロック5 (CK2) にて、ST21に遷移することによって、装置2の準備ができたことを示すRD21がActive (1) になる。 20

【0130】21. クロック5 (CK1) にて、20の信号変化は、クロック5 (CK1) の立ち上がりエッジにおける同期化回路SY21のDFF (DF211) のsetup-hold時間内で起こる。DF211の出力値は、確率的に決まるが、この場合、信号変化を正常に認識し、1に収束したとする。

【0131】22. クロック6 (CK1) にて、21の信号は、収束するまでの時間を伴うため、同期回路で使用できるように、再度立ち上がりエッジでラッチし直す (DF212によって、出力RD22を得る)。 30

【0132】23. 装置2が準備できたという意味のActive信号が伝搬されたので、装置1側の処理が開始できる状態となる。

【0133】24. クロック6 (CK2) にて、同期化回路SY22のDFF (DF221) によって、22のActive信号を立ち下がりでラッチする (AC24)。 40

【0134】25. 24の信号を再度立ち上がりエッジでラッチし直す (DF222によって、出力AC22を得る)。

【0135】26. AC22は、20で出力したRD21のActive信号が、装置1で同期化されたことを確認するための信号である。これを受け取り、装置2の装置2制御部FSM2は、状態ST21から装置1の完了を再び待つ状態であるST22に遷移する。

【0136】27. クロック8 (CK2) にて、装置1の準備完了の信号RD12がActive (1) になるまでST22の状態で待つ。

【0137】28. クロック6 (CK1) にて、装置1が装置2のデータD2を読み込む。データD2は、クロ 50

20

ック5 (CK2) 以降では、データに変化はなく、安定した状態にあるため、正常な値を得ることができる。

【0138】29. 28のデータD2に対し、1をインクリメントし、それをカウントレジスタRG11にデータ挿入する。

【0139】30. 次の状態としてST13に遷移する。

【0140】31. クロック7 (CK1) にて、カウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に戻す。この時点で、装置1側の処理は終了する。

【0141】32. 装置1が再び (2回目の処理を) 終了した (準備ができた) 旨を装置2に戻すための状態ST11に遷移する。

【0142】33. クロック8 (CK1) にて、ST11に遷移することによって、装置1の2回目の準備ができたことを示すRD11がActive (1) になる。

【0143】34. クロック7 (CK2) にて、33の信号変化は、クロック7 (CK2) の立ち上がりエッジにおける同期化回路SY11のDFF (DF111) のsetup-hold時間内で起こる。DF111の出力値は、確率的に決まるが、この場合、信号変化を正常に認識できず、0に収束したとする。信号が1に変化することは1クロック後に持ち越される。

【0144】35. クロック8 (CK1) では、1回目のRD11をInactive (0) にするためのAcknowledge信号AC12が、まだActive (1) のままである。よって、33でActiveになった2回目のRD11を意に反しInactiveにしようとしてST12に遷移し、本来のハンドシェイクが正常に動作しない。1回目のAC12がInactive (0) になるのはクロック9である。

【0145】1回目のAC12がInactiveになるまでの流れを破線矢印で示す。

【0146】クロック5 (CK2) では、1回目のRD11のActive信号がInactive (0) になる14の信号変化が、クロック5 (CK2) の立ち上がりエッジにおける、同期化回路SY11のDFF (DF111) のsetup-hold時間内で起こる。DF111の出力値は、確率的に決まるが、この場合、0への信号変化を正常に認識できず、1に収束したとする。信号が0に変化することは1クロック後に持ち越される。

【0147】クロック6 (CK2) では、クロック5 (CK2) において認識できなかった14の0への信号変化を、DF111の立ち上がりエッジでラッチする (RD14)。

【0148】クロック7 (CK2) では、上の信号を再度立ち上がりエッジでラッチし直す (DF112によって、出力RD12 (=Inactive (0)) を得

る)。

【0149】クロック8 (CK1) では、上の信号の0への信号変化を、同期化回路SY12のDFF (DF121) の立ち下がりエッジでラッチする (AC14)。

【0150】クロック9 (CK1) では、上の信号を再度立ち上がりエッジでラッチし直す (DFF122によって、出力AC12 (=Inactive (0)) を得る)。

【0151】36. クロック9 (CK1) にて、状態がST12に遷移することによって、RD11がInactive (0) となる。

【0152】37. 装置1は、装置2の準備完了の信号RD22が再びActiveになるまでST12の状態を待つ。

【0153】38. クロック8 (CK2) にて、クロック8の立ち下がりエッジにおける同期化回路SY11のDFF (DF111) が、本来、この時点において、34で持ち越されたRD11の1への信号変化を同期化すべきである。しかし、すでに36においてRD11は、0へ信号が変化してしまっており、信号変化が同期化するDF111のsetup-hold時間内であるため、この出力として0へ収束する場合がある。したがって、RD11がActive (1) に変化したことを全く認識できない場合が起こり得る。その場合結果的に、装置1および装置2とも相手のReady信号を待つ状態となる、デッドロック状態に陥ってしまう。これは、二重のハンドシェイク信号がオーバーラップすることで、同期化回路の認識によっては高速処理が可能となり、各トランザクションごとのハンドシェイク信号までもがオーバーラップしてしまう現象である。これを回避する1解決法としても従来手法2ある。

【0154】上述した第1の誤動作は、Acknowledge信号の返信を遅延させることで解決することができる。図18は、従来手法2の回路からST14, ST24を除いた回路に1クロック遅延回路DL11, DL21を挿入した回路構成図であり、図19は、遅延回路の回路構成図であり、図20は、周波数比 $f_{CK1}/f_{CK2}=1/3$ 、Duty比50%の場合のタイミングチャートであり、図21は、周波数比 $f_{CK1}/f_{CK2}=1/1$ 、位相差 $\theta_{CK2}-\theta_{CK1}=\pi$ 、Duty比50%の場合のタイミングチャートであり、図22は、周波数比 $f_{CK1}/f_{CK2}=1/1$ 、位相差 $\theta_{CK2}-\theta_{CK1}=\pi$ 、Duty比50%であって、第2の誤動作が起こる場合のタイミングチャートである。

【0155】図20、図21は、第1の誤動作が起こらず、装置1制御部FSM1がRD22を正常に認識する例を示しており、上述の第1の誤動作の説明において正常に動作する場合であるので、動作説明は省略する。

【0156】しかし、第1の誤動作と第2の誤動作は独立な現象である。依然として第2の誤動作の要因は残っ

たままである。

【0157】第2の誤動作は、Acknowledge信号の最初の1クロックだけを使用することで解決することができる。図23は、従来手法2の回路からST14, ST24を除いた回路に1クロックパルス発生回路P11, P21を挿入した回路構成図であり、図24は、パルス発生回路の回路構成図である。図25は、周波数比 $f_{CK1}/f_{CK2}=1/1$ 、位相差 $\theta_{CK2}-\theta_{CK1}=\pi$ 、Duty比50%の場合のタイミングチャートであり、図26は、周波数比 $f_{CK1}/f_{CK2}=2/3$ 、Duty比50%の場合のタイミングチャートであり、図27は、周波数比 $f_{CK1}/f_{CK2}=1/3$ 、Duty比50%であって、第1の誤動作が起こる場合のタイミングチャートである。

【0158】図25、図26は、第2の誤動作が起こらず、2回目のReady信号が2回目のAcknowledge信号を認識し、正常なActive期間を確保した例を示しており、上述の第2の誤動作の説明において正常に動作する場合であるので、動作説明は省略する。

【0159】しかし、第1の誤動作と第2の誤動作は独立な現象である。1クロックパルス発生回路P11, P21を挿入しただけの回路では、依然として第1の誤動作の要因は残ったままである。

【0160】次に、遅延回路およびパルス発生回路のみであって、同期化回路がない場合の動作について考察する。図28は、同期化回路がない場合の回路構成図であり、図29は、周波数比 $f_{CK1}/f_{CK2}=2/3$ 、Duty比50%の場合のタイミングチャートである。装置1のReady信号がActive (1) になるまでは、これまでと同様である。

【0161】1. 初期状態では、装置1の装置1制御部FSM1の初期状態はST10となり、データバスのレジスタRG11は0となる。

【0162】2. 装置2の装置2制御部FSM2の初期状態はST22となり、データバスのレジスタRG21は0となる。

【0163】3. クロック1 (CK1) にて、カウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に挿入する。

【0164】4. 次の状態ST13に遷移する。

【0165】5. クロック2 (CK1) にて、3と同様にカウントレジスタRG11の値に対し、1をインクリメントし、そのデータをカウントレジスタRG11に戻す。この時点で、装置1側の処理は終了する。

【0166】6. 装置1が終了した (準備ができた) 旨を相手先の装置2に知らせるための状態ST11に遷移する。

【0167】7. クロック3 (CK1) にて、状態ST11に遷移することによって、装置1の準備ができたこ

23

とを示すRD11がActive (1)になる。

【0168】8. クロック4 (CK2) にて、FSM2は、同期化されない信号RD11を直接参照するために、状態レジスタSR21, SR22, SR23やカウンタレジスタRG21などのDFFは、setup-hold時間内で信号変化が起こる可能性がある。この例では、信号変化7がsetup-hold時間内で起こるとする。その場合、収束する値は何になるか分からないため、FSM2は、状態コードとして割り付けられていない状態へ陥ってしまうことがある (unknownとして示した。例えば"000")。そうすると、正しく状態遷移ができないので、装置2は、回路として機能しない。また、収束する値として偶然にそのときの状態コードと一致しても、同期設計上考慮しないグリッチ信号があり、値が収束するまでの時間のため、遅延保証ができず、次の状態に正しく遷移できるとは限らない。カウンタレジスタの値も同様に収束する値に保証はない (undefinedとして示した)。

【0169】9. 8と同様に、FSM1に返信するAcknowledge信号は、遅延回路DL11のDFF (DF131) について、setup-hold時間内で信号変化が起こる可能性がある。この場合、グリッチ信号が発生する場合がある。

【0170】10. クロック3 (CK1) にて、9で発生したグリッチ信号は、パルス発生回路SY11にそのまま入力される。

【0171】11. クロック5 (CK2) にて、7でActiveに変化した信号が、遅延回路DL11のDFF (DF131) でラッチされる。

【0172】12. クロック3 (CK1) にて、11で変化した信号も、パルス発生回路SY11にそのまま入力される。

【0173】13. 10と12のような、グリッチ信号および装置2のクロックに同期した信号は、装置1同期回路では、設計上考慮できない信号である。したがって、次の状態の遷移を求める論理回路の遅延次第では、次状態に正しく遷移できる保証は全くない。この例では、正しく遷移できるように示したが、仮に正しく遷移したとしても、それは回路として正しいハンドシェイクができたわけではない。

【0174】上述のように、同期化回路がないと、周波数関係に依存がない大半の場合において、誤動作を引き起こす可能性が大きい。

【0175】図1は、この発明の実施例の回路構成図であり、従来手法2の回路からST14, ST24を除いた回路に1クロック遅延回路DL11, DL21と、パルス発生回路P11, P21を付加した回路構成図である。1クロック遅延回路DL11, DL21と、パルス発生回路P11, P21とを付加することにより、第1の誤動作および第2の誤動作を解決することができる。

24

図2は、周波数比  $f_{CK1} / f_{CK2} = 2 / 3$ 、Duty比50%の場合のタイミングチャートであり、図3は、周波数比  $f_{CK1} / f_{CK2} = 1 / 1$ 、位相差  $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%の場合のタイミングチャートである。以下に、図2について、データバスを伴う構成を想定して動作を説明する。

【0176】1. 十分なりセット期間後 (初期状態)、装置1制御部FSM1の初期ステートはST10となり、データバスのレジスタRG11は0となる。

【0177】2. 装置2制御部FSM2の初期ステートはST22となり、データバスのレジスタRG21は0となる。

【0178】3. クロック1 (CK1) にて、カウンタレジスタRG11の値に対し、1をインクリメントし、そのデータをカウンタレジスタRG11に挿入する。

【0179】4. 次の状態ST13に遷移する。

【0180】5. クロック2 (CK1) にて、3と同様にカウンタレジスタRG11の値に対し、1をインクリメントし、そのデータをカウンタレジスタRG11に戻す。この時点で、装置1側の処理は終了する。

【0181】6. 装置1が終了した (準備ができた) 旨を相手先の装置2に知らせるために状態ST11に遷移する。

【0182】7. クロック3 (CK1) にて、状態ST11に遷移することによって、装置1の準備ができたことを示すRD11がActive (1) になる。

【0183】8. クロック4 (CK2) にて、同期化回路SY11のDFF (DF111) によって、7のActive信号を立ち下がりエッジでラッチする (出力RD14を得る)。

【0184】9. クロック5 (CK2) にて、8での信号を再度立ち上がりエッジでラッチし直す (DF112によって、出力RD12を得る)。

【0185】10. 装置1が準備できたという意味のActive信号が伝搬されたので、装置2側の処理を開始できる状態となる。

【0186】11. クロック6 (CK2) にて、9での信号を遅延回路DL11によって、1クロック遅延させてラッチする。

【0187】12. クロック4 (CK1) にて、同期化回路SY12のDFF (DF121) によって、11の信号を立ち下がりエッジでラッチする (出力AC14を得る)。

【0188】13. クロック5 (CK1) にて、12での信号を再度立ち上がりエッジでラッチし直す (DF122によって、出力AC13を得る)。

【0189】14. 13での信号により、パルス発生回路P11により1クロックパルスであるAC12を得る。

【0190】15. AC12は、7で出力したRD11

25

のActive信号が、装置2で同期化されたことを確認するための信号である。これを受け取り、装置1の装置1制御部FSM1は、状態ST11から装置2の完了を待つ状態であるST12遷移する。

【0191】16. クロック6 (CK1) にて、ST12に遷移する。

【0192】17. クロック5 (CK2) にて、装置2は装置1のデータD1を読み込む。

【0193】18. 17のデータD1に対し、1をインクリメントし、それをカウントレジスタRG21にデータ挿入する。

【0194】19. 次の状態としてST23に遷移する。

【0195】20. クロック6 (CK2) にて、カウントレジスタRG21の値に対し、1をインクリメントし、そのデータをカウントレジスタRG21に戻す。この時点で、装置2側の処理は終了する。

【0196】21. 装置2が終了した(準備ができた)旨を装置1に戻すための状態ST21に遷移することができる。

【0197】22. クロック7 (CK2) にて、ST21に遷移することによって、装置2が準備できたことを示すRD21がActive (1) になる。

【0198】23. クロック5 (CK1) にて、同期化回路SY21のDFF (DF211) によって、22のActive信号を立ち上がりエッジでラッチする(出力RD24を得る)。

【0199】24. クロック5 (CK1) にて、23の信号を再度立ち上がりエッジでラッチし直す(DF212によって、出力RD22を得る)。RD22によりRD21の信号を装置1の同期回路で使うことができる。

【0200】25. 装置2が準備できたという意味のActive信号が伝搬されたので、装置1側の処理が開始できる状態となる。装置1は、ここで初めて装置2から制御権が移ったことを知る。

【0201】以下同様に、装置1と装置2の制御権の切り替えを交互に行い、カウントレジスタの値をインクリメントする。図3についても図2の実施例と同様の動作をするため、説明を省略する。

【0202】なお、ST12→ST11およびST22→ST21へ遷移するためには、必ず1つ以上の状態(ST13, ST23) がなければならない。なぜなら、(AC11のActive信号出力時刻) < (RD21のActive信号出力時刻) ならば (AC11同期化時刻) ≤ (RD21の同期化時刻)、(AC21のActive信号出力時刻) < (RD11のActive信号出力時刻) ならば (AC21同期化時刻) ≤ (RD11の同期化時刻) という関係を前提にした回路であり、ST13, ST23がなければ、(AC11のActive

26

signal出力時刻) = (RD21のActive信号出力時刻)、(AC21のActive信号出力時刻) = (RD11のActive信号出力時刻) となってしまう、上述の前提が崩れてしまうためである。どうしてもST12→ST11およびST22→ST21の遷移が起こる場合は、ダミーステート(アイドルステートのように何もしないステート)を挿入する。

【0203】上述の実施例から従来手法2とこの発明のオーバーヘッドは、以下の式から求められる。

【0204】

$$\text{オーバーヘッド} = \frac{T_{\text{all}} - T_{\text{active}}}{T_{\text{all}}}$$

$T_{\text{active}}$  : 装置1、装置2の実稼働する時間

$T_{\text{all}}$  : 装置1、装置2のハンドシェイクを含めたすべての時間(サンプリング時間)

この式より従来手法2のタイミングチャート図34のオーバーヘッドを、クロックCK2のクロック周期時間を単位時間として求めると、(23-10)/2357%である。

【0205】同様に、図34のタイミングチャートと同じ条件における、この発明のタイミングチャート図2のオーバーヘッドは、(23-15)/2335%となる。

【0206】これより、57%-35%=22%のオーバーヘッドの削減が実現できたことが分かる。

【0207】別の条件下における、オーバーヘッドの比較を、図35(従来手法2)および図3(この発明)について行くと、65%-39%=26%のオーバーヘッドの削減が実現できたことが分かる。

【0208】上の結果から、この発明は、20%以上のオーバーヘッドが削減できる可能性を持つ。

【0209】

【発明の効果】以上説明したように、この発明は、動的に制御信号のアクティブ期間を設定し、全てのクロック周波数において一定のオーバーヘッド時間で制御可能である。また、2つのステートマシンに入力するクロック周波数および位相に対する制約が緩く(理想的にはない)、非同期インタフェースとして汎用的に利用できるため再利用性が高い。さらに、2装置間のデータバンド幅が広い(十分なFIFO(バッファ)を持つ)、もしくは1トランザクションのデータ転送量が少ない場合、2装置の制御切り替えが頻繁に起こるが、その際に、時間的なオーバーヘッドが非常に小さい。また、記憶素子の構成要素にDFFのみを使用することで、既存の同期系設計ツール(特に論理合成ツール)を利用した設計が容易である。

【図面の簡単な説明】

【図1】この発明の対称型非同期インタフェース回路の実施の形態を示す回路構成図である。

27

【図2】この発明の対称型非同期インタフェース回路の周波数比  $f_{CK1} / f_{CK2} = 2/3$ 、Duty比50%の場合のタイミングチャートである。

【図3】この発明の対称型非同期インタフェース回路の周波数比  $f_{CK1} / f_{CK2} = 1/1$ 、位相差  $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%の場合のタイミングチャートである。

【図4】データバスがある場合の外付け対称型非同期インタフェース回路である。

【図5】データバスがない場合の外付け対称型非同期インタフェース回路である。

【図6】データバスがある場合の内蔵4線式の対称型非同期インタフェース回路である。

【図7】データバスがない場合の内蔵4線式の対称型非同期インタフェース回路である。

【図8】データバスがある場合の内蔵3線式の対称型非同期インタフェース回路である。

【図9】データバスがない場合の内蔵3線式の対称型非同期インタフェース回路である。

【図10】従来手法2からアイドルステートST14、ST24を除いた場合の回路構成図である。

【図11】同期化回路の回路構成図である。

【図12】装置1データバスの回路構成図である。

【図13】装置2データバスの回路構成図である。

【図14】装置1制御部の状態遷移および回路構成を示す図である。

【図15】装置2制御部の状態遷移および回路構成を示す図である。

【図16】周波数比  $f_{CK1} / f_{CK2} = 1/3$ 、Duty比50%であって、第1の誤動作が起こる場合のタイミングチャートである。

【図17】周波数比  $f_{CK1} / f_{CK2} = 1/1$ 、位相差  $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%であって、第2の誤動作が起こる場合のタイミングチャートである。

【図18】従来手法2の回路からST14、ST24を除いた回路に1クロック遅延回路を挿入した回路構成図である。

【図19】遅延回路の回路構成図である。

【図20】周波数比  $f_{CK1} / f_{CK2} = 1/3$ 、Duty比50%の場合のタイミングチャートである。

【図21】周波数比  $f_{CK1} / f_{CK2} = 1/1$ 、位相差  $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%の場合のタイミングチャートである。

【図22】周波数比  $f_{CK1} / f_{CK2} = 1/1$ 、位相差  $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%であって、第2の誤動作が起こる場合のタイミングチャートである。

【図23】従来手法2の回路からST14、ST24を

28

除いた回路に1クロックパルス発生回路を挿入した回路構成図である。

【図24】パルス発生回路の回路構成図である。

【図25】周波数比  $f_{CK1} / f_{CK2} = 1/1$ 、位相差  $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%の場合のタイミングチャートである。

【図26】周波数比  $f_{CK1} / f_{CK2} = 2/3$ 、Duty比50%の場合のタイミングチャートである。

【図27】周波数比  $f_{CK1} / f_{CK2} = 1/3$ 、Duty比50%であって、第1の誤動作が起こる場合のタイミングチャートである。

【図28】同期化回路がない場合の回路構成図である。

【図29】周波数比  $f_{CK1} / f_{CK2} = 2/3$ 、Duty比50%の場合のタイミングチャートである。

【図30】従来手法1の概念図および周波数比率とオーバヘッド時間比率との関係を表す図である。

【図31】従来手法1の回路構成図である。

【図32】従来手法2の概念図および周波数比率とオーバヘッド時間比率との関係を表す図である。

【図33】従来手法2の回路構成図である。

【図34】周波数比  $f_{CK1} / f_{CK2} = 2/3$ 、Duty比50%の場合のタイミングチャートである。

【図35】周波数比  $f_{CK1} / f_{CK2} = 1/1$ 、位相差  $\theta_{CK2} - \theta_{CK1} = \pi$ 、Duty比50%の場合のタイミングチャートである。

#### 【符号の説明】

FSM1 装置1制御部

FSM2 装置2制御部

SY11, SY12, SY21, SY22 同期化回路

DL11, DL21 遅延回路

P11, P21 パルス発生回路

SR11, SR21 状態レジスタ

RD11, RD12, RD21, RD22 Ready信号

AC11, AC12, AC21, AC22 Acknowledge信号

ST11, ST12, ST13, ST21, ST22, ST23 ステート

CK1, CK2 クロック信号

RG11, RG21 カウントレジスタ

CG1, CG2 クロック生成器

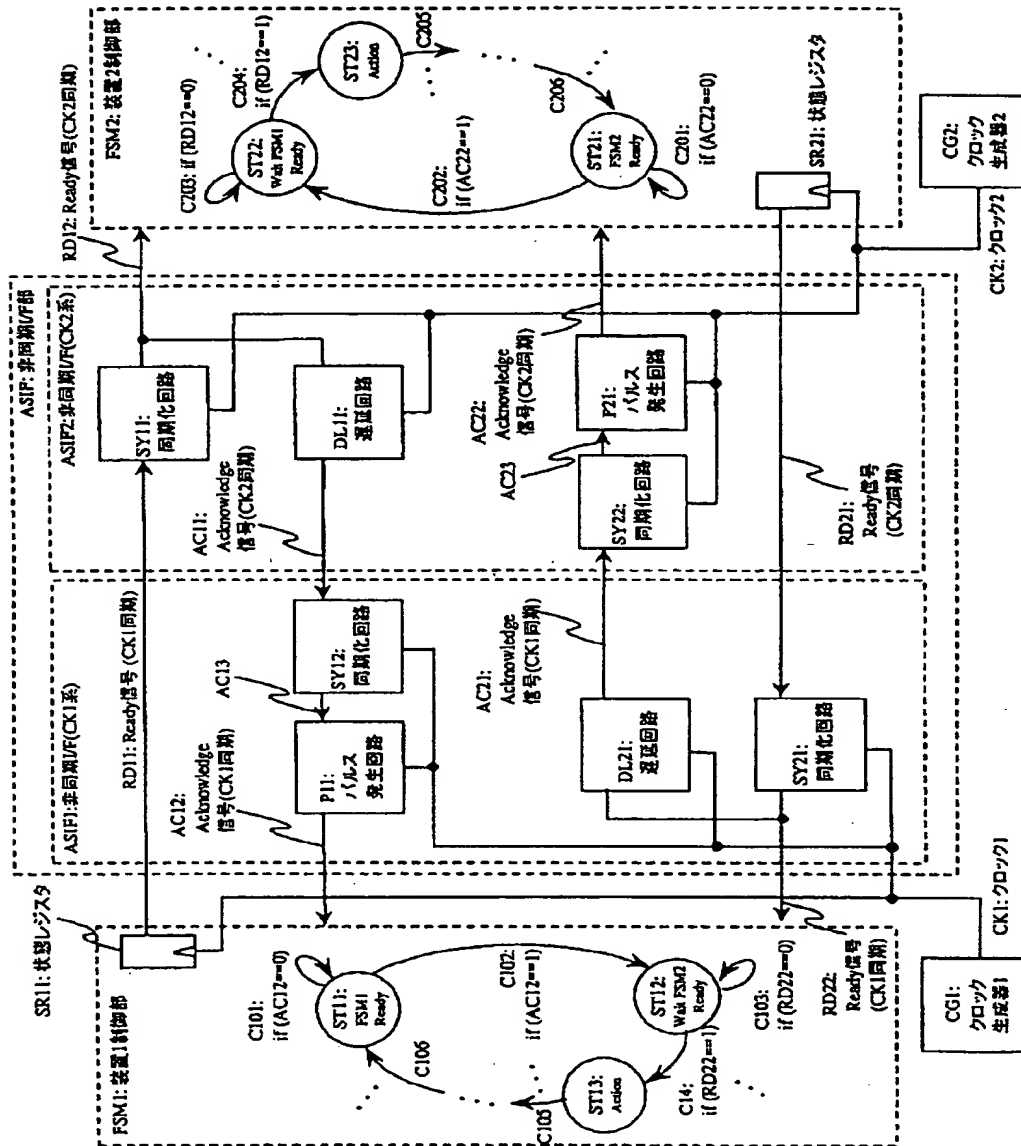
ASIF 対称型非同期インタフェース回路

ASIF1 対称型非同期インタフェース回路 (CK1系)

ASIF2 対称型非同期インタフェース回路 (CK2系)

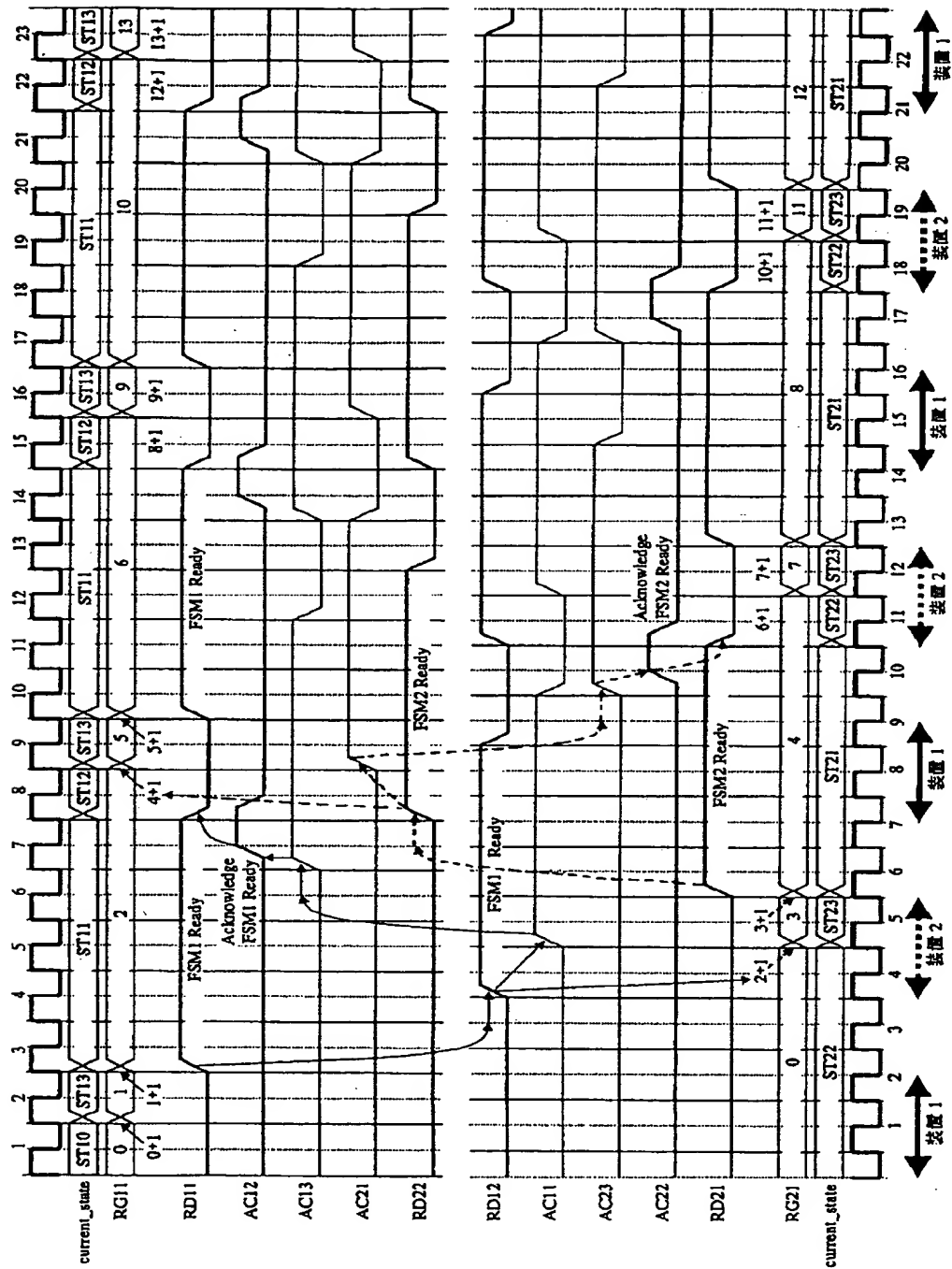


【図1】

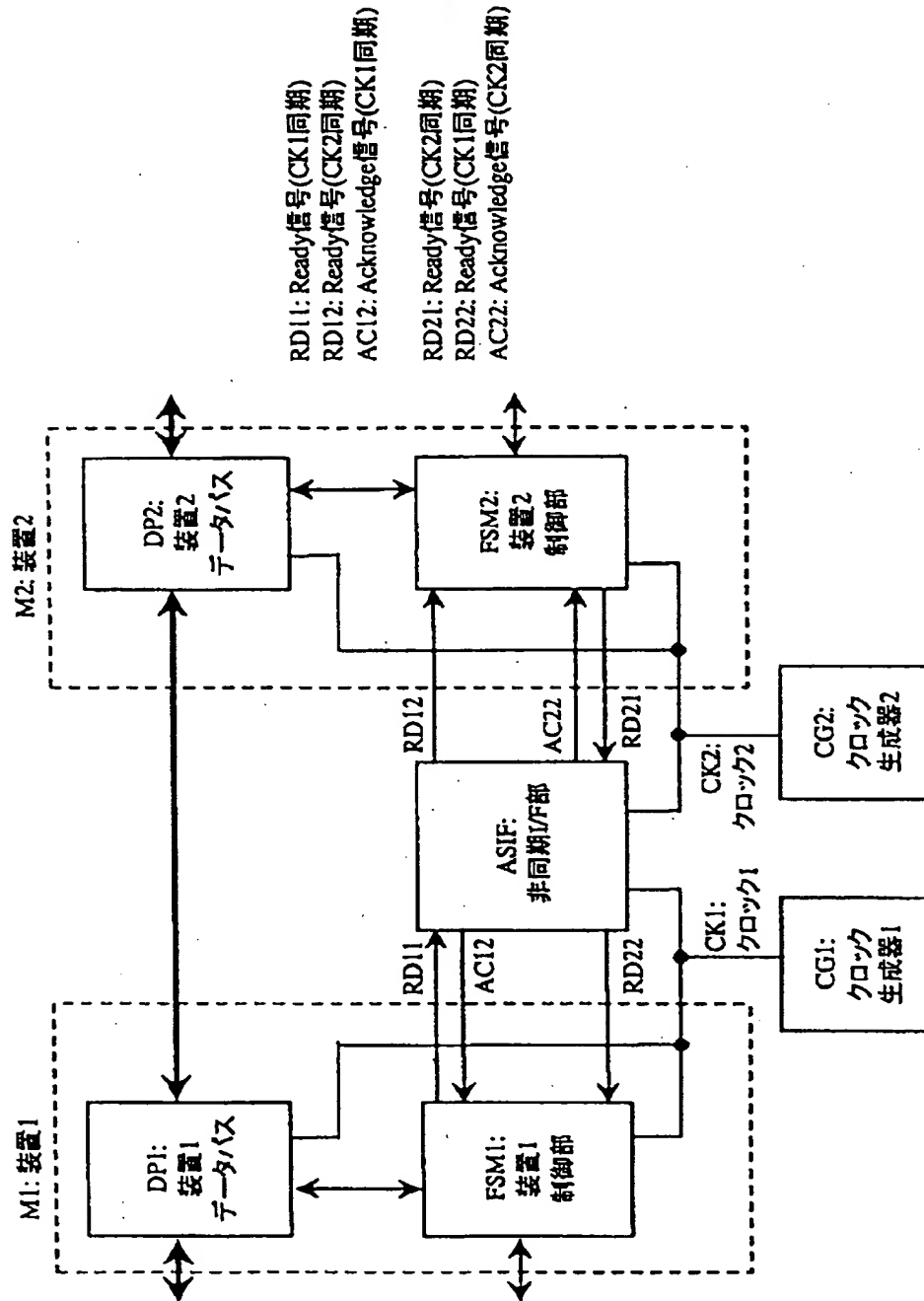




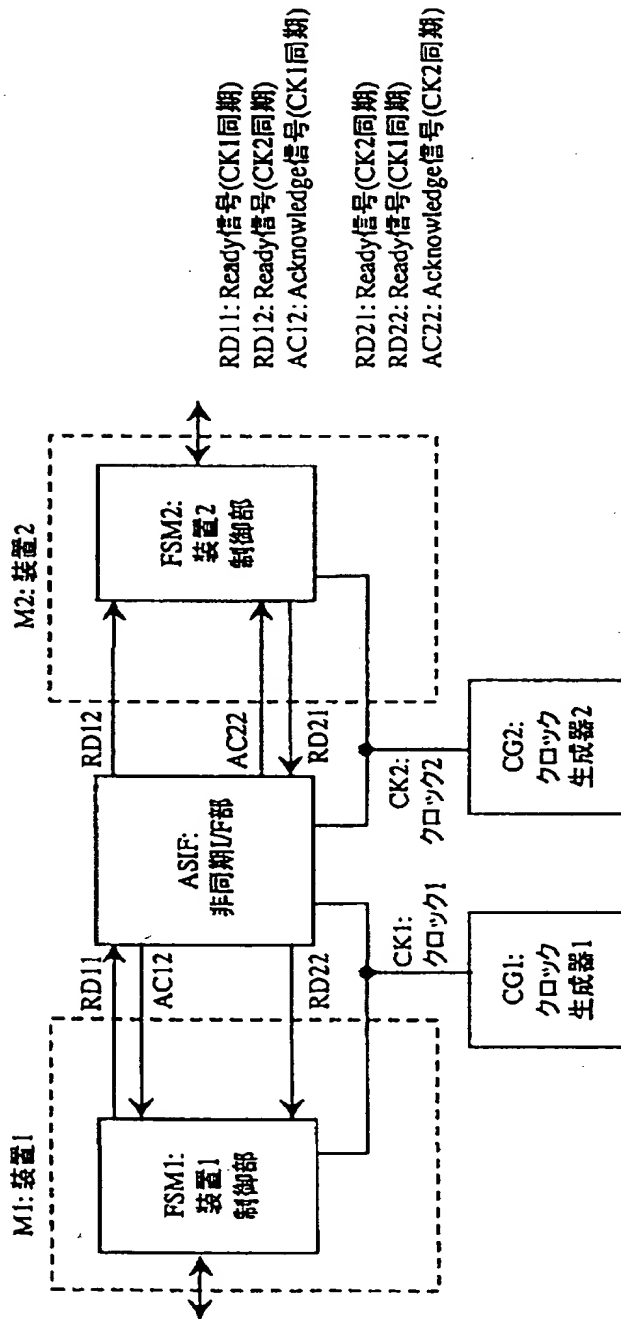
【図3】



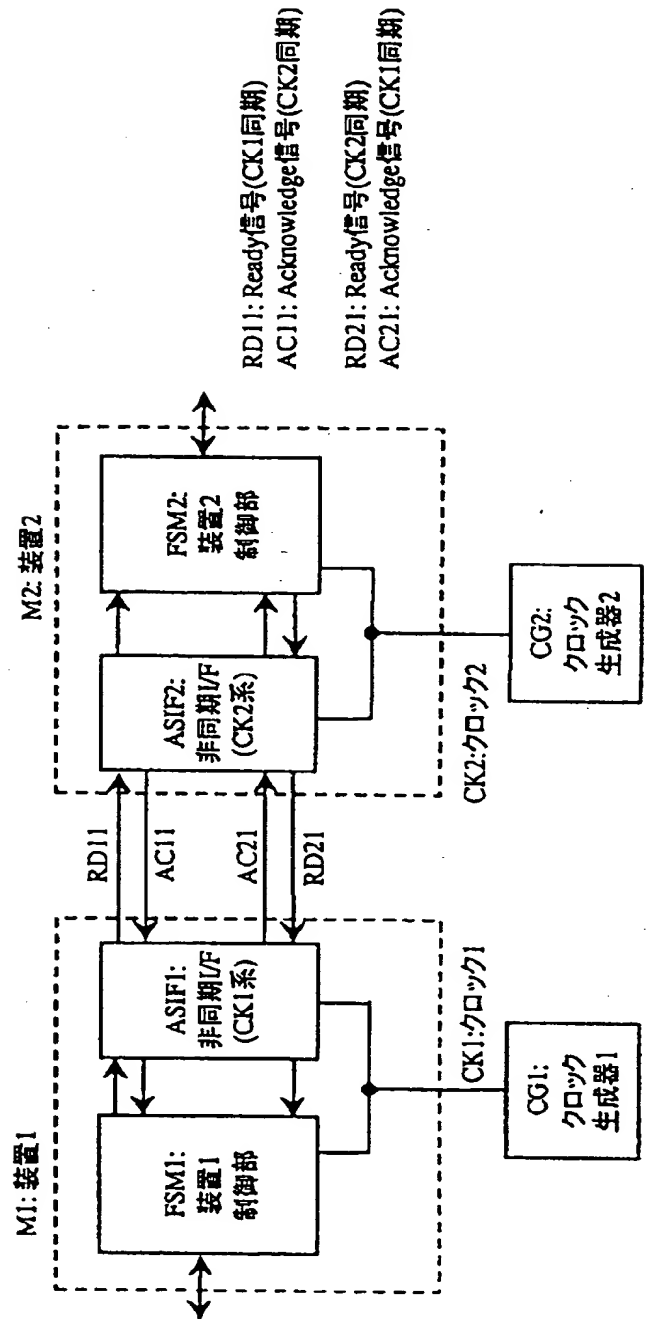
【図4】



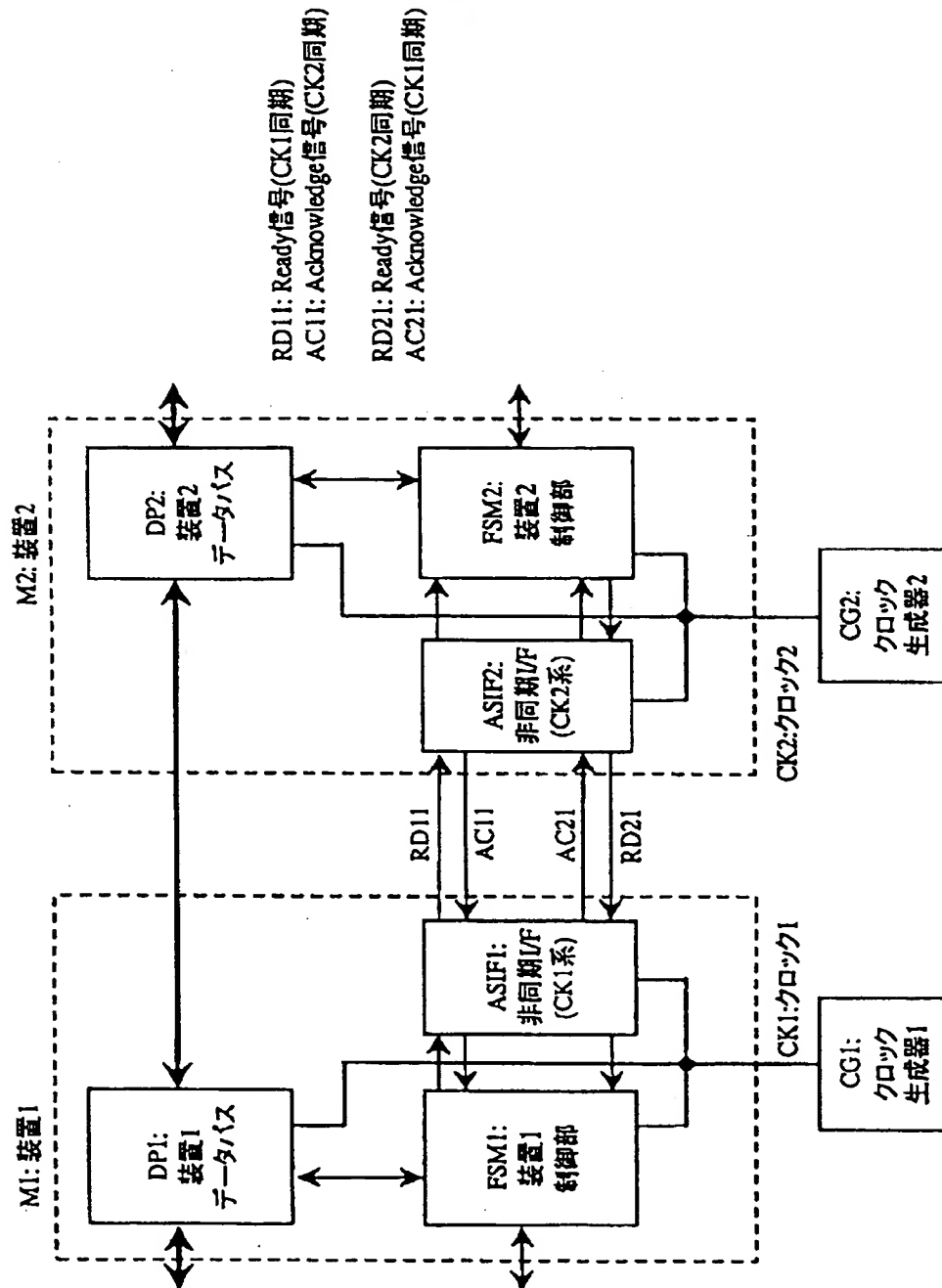
【図5】



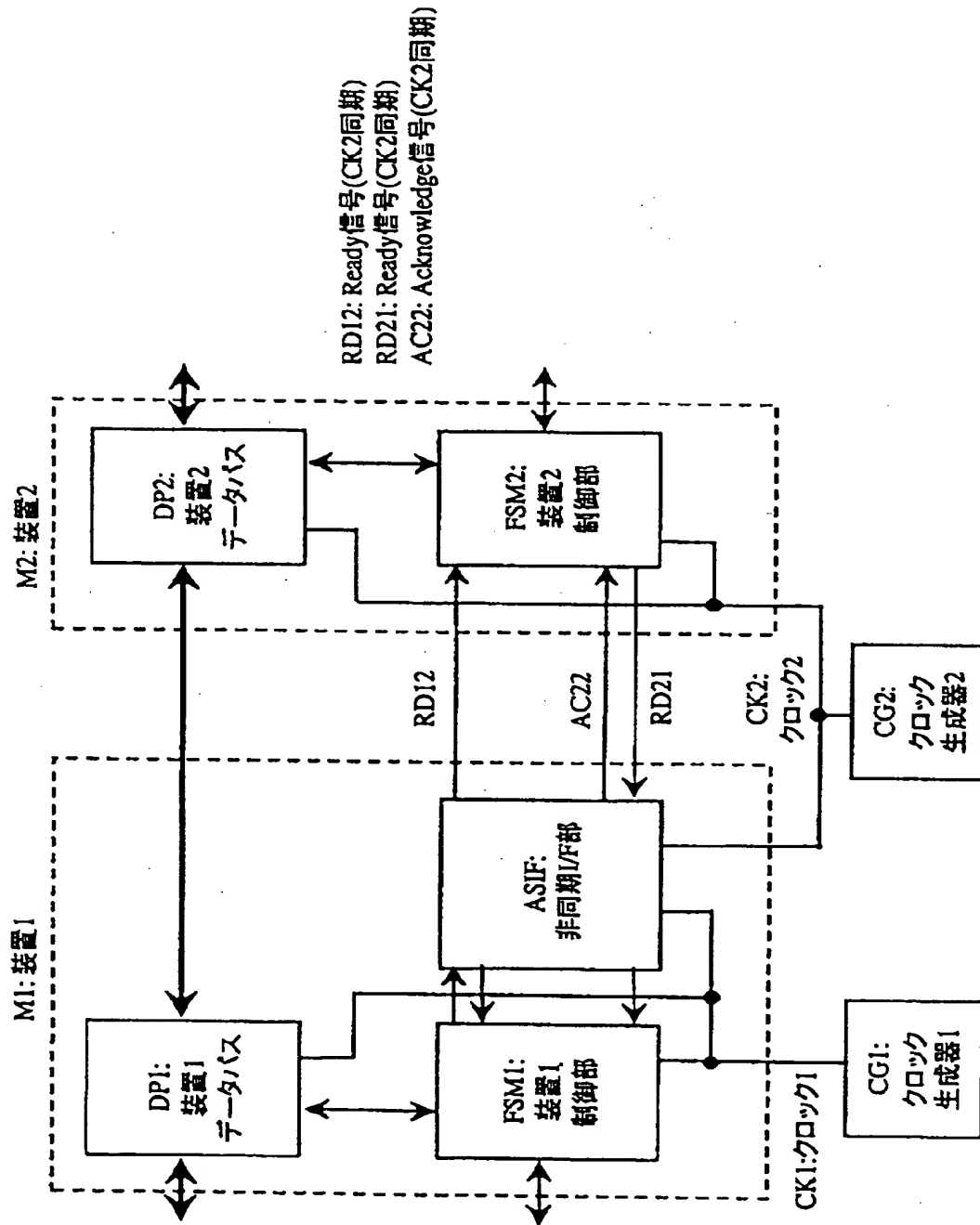
【図7】



【図6】

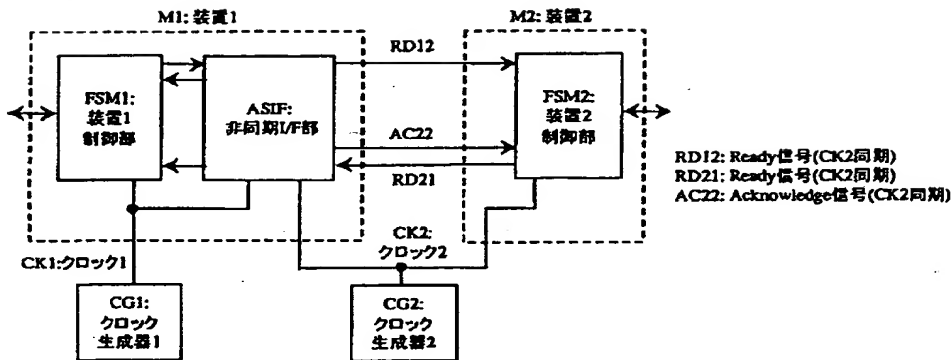


【図8】

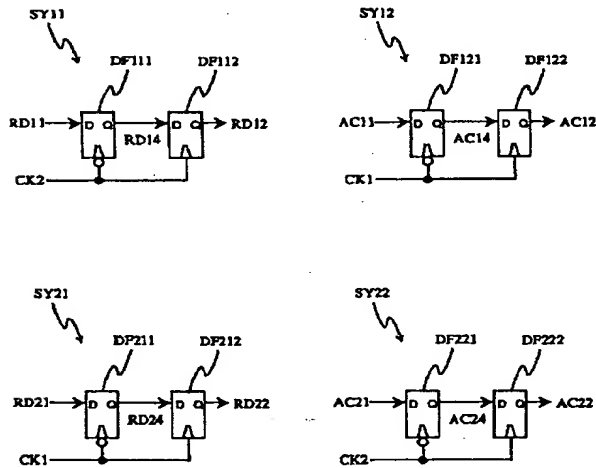




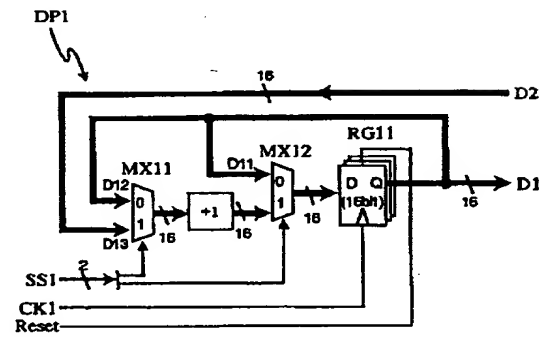
【図9】



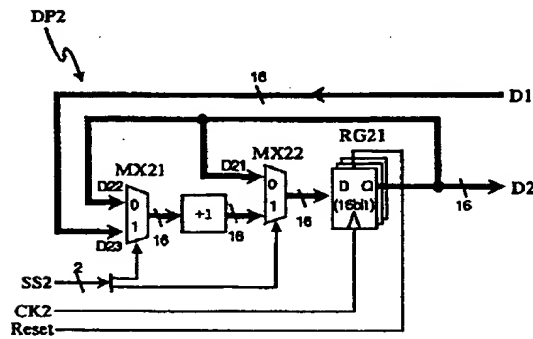
【図11】



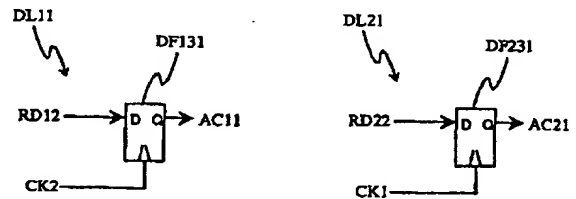
【図12】



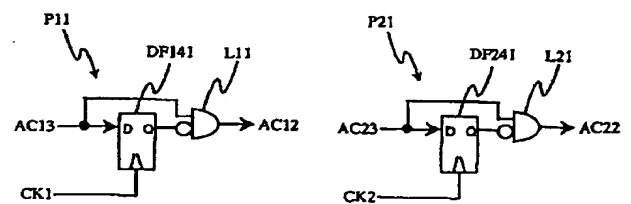
【図13】



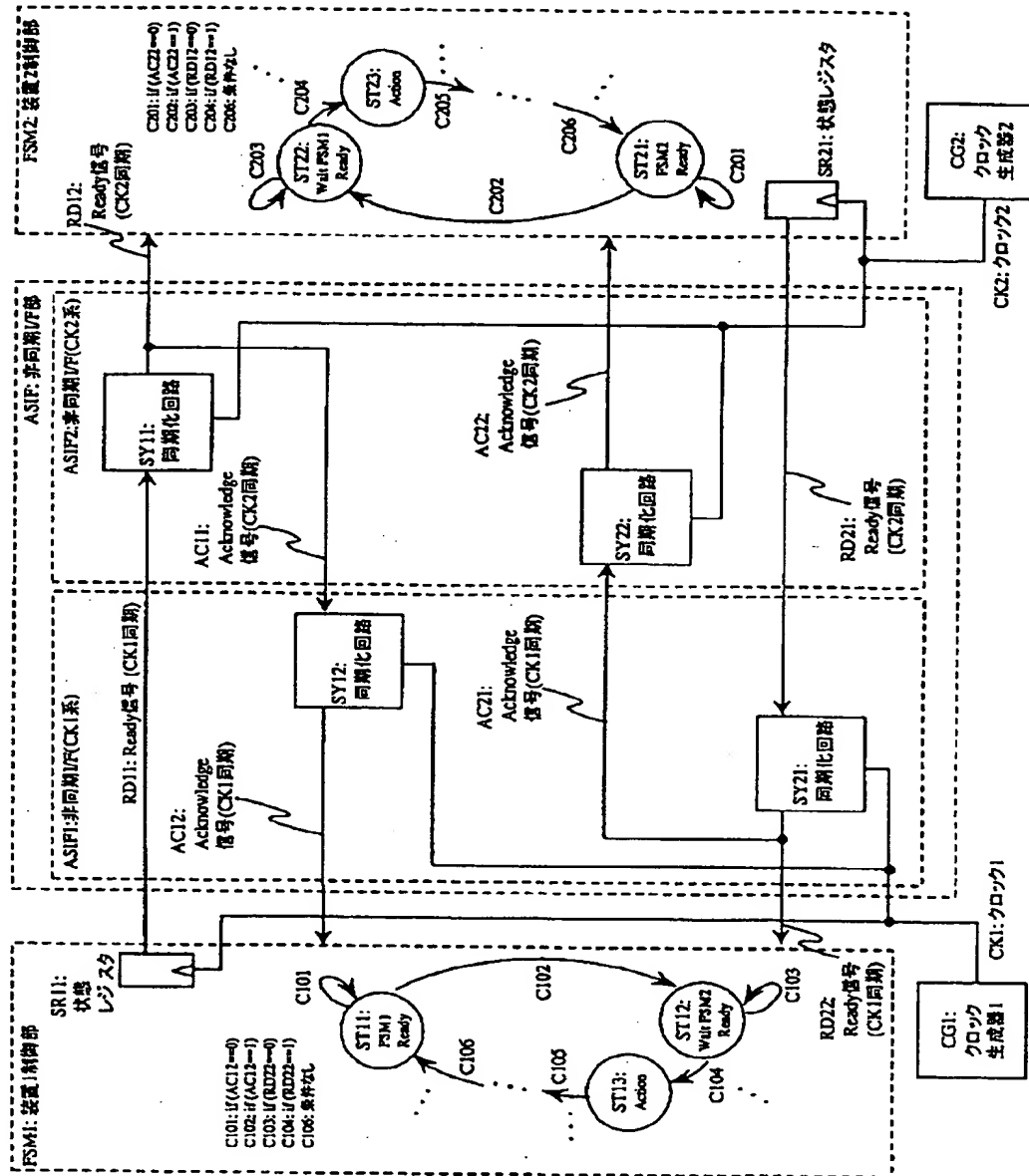
【図19】



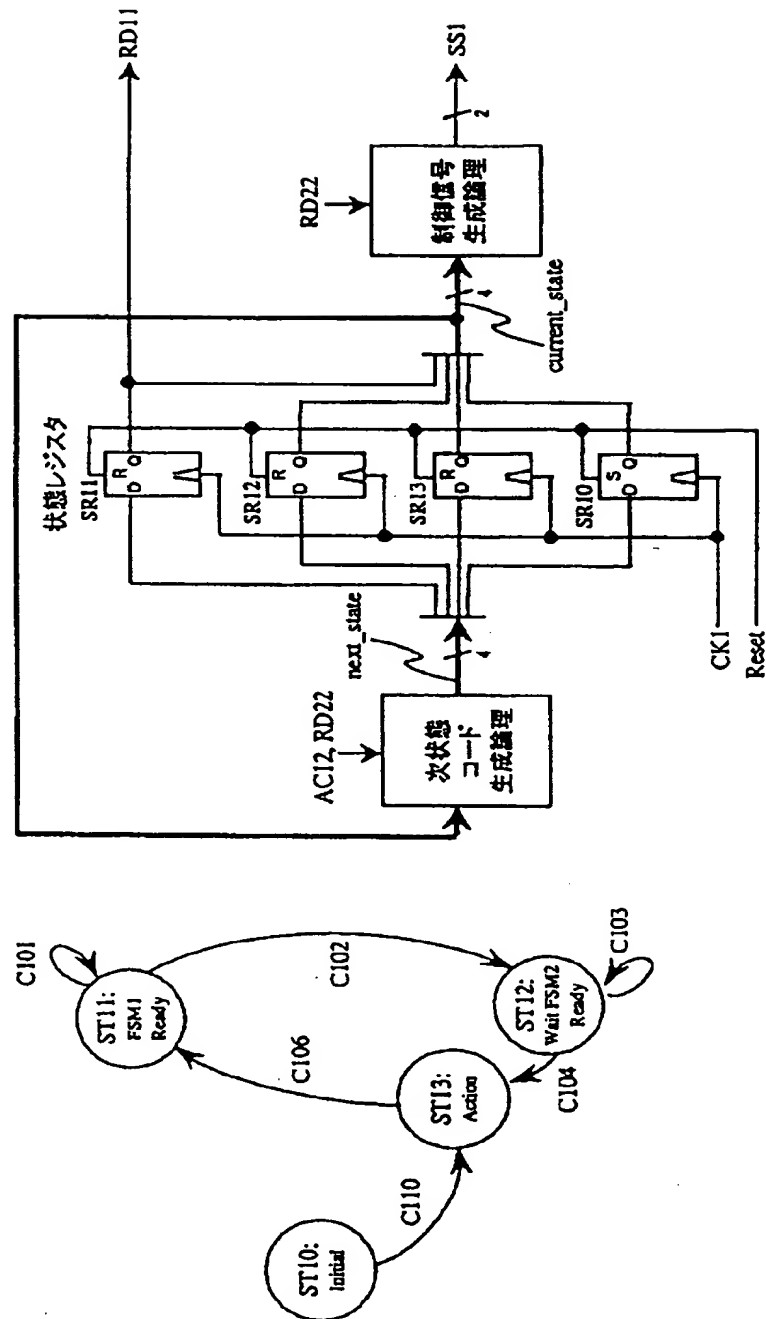
【図24】



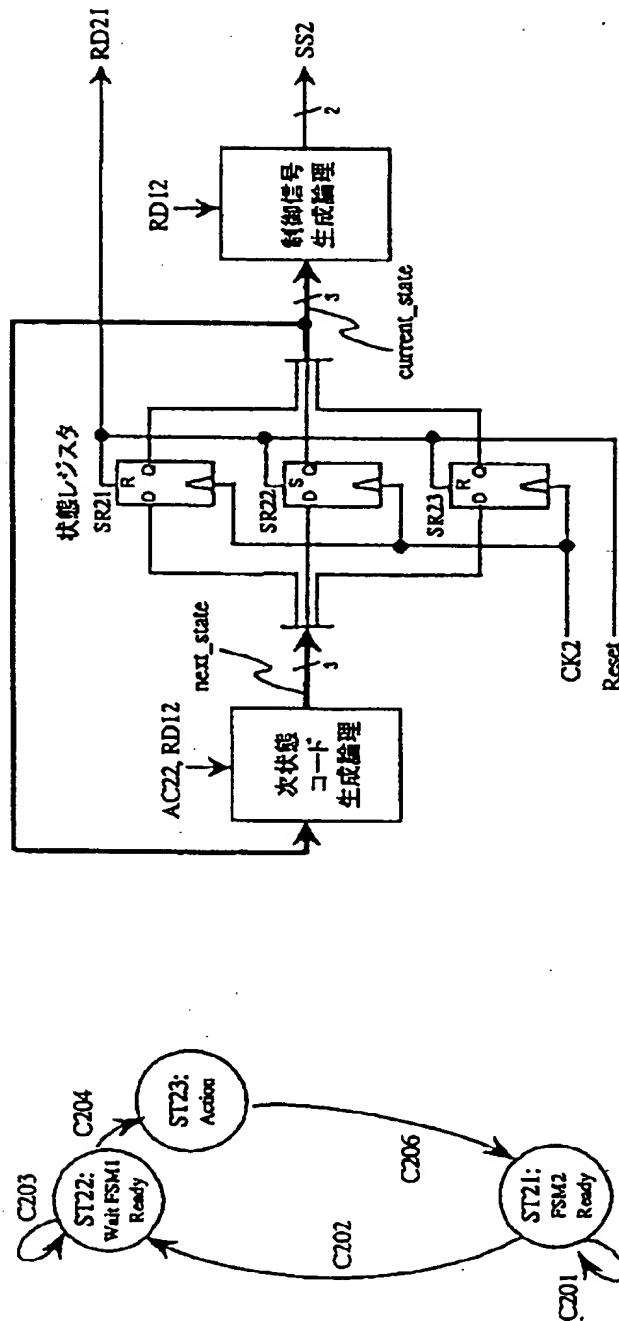
【図10】



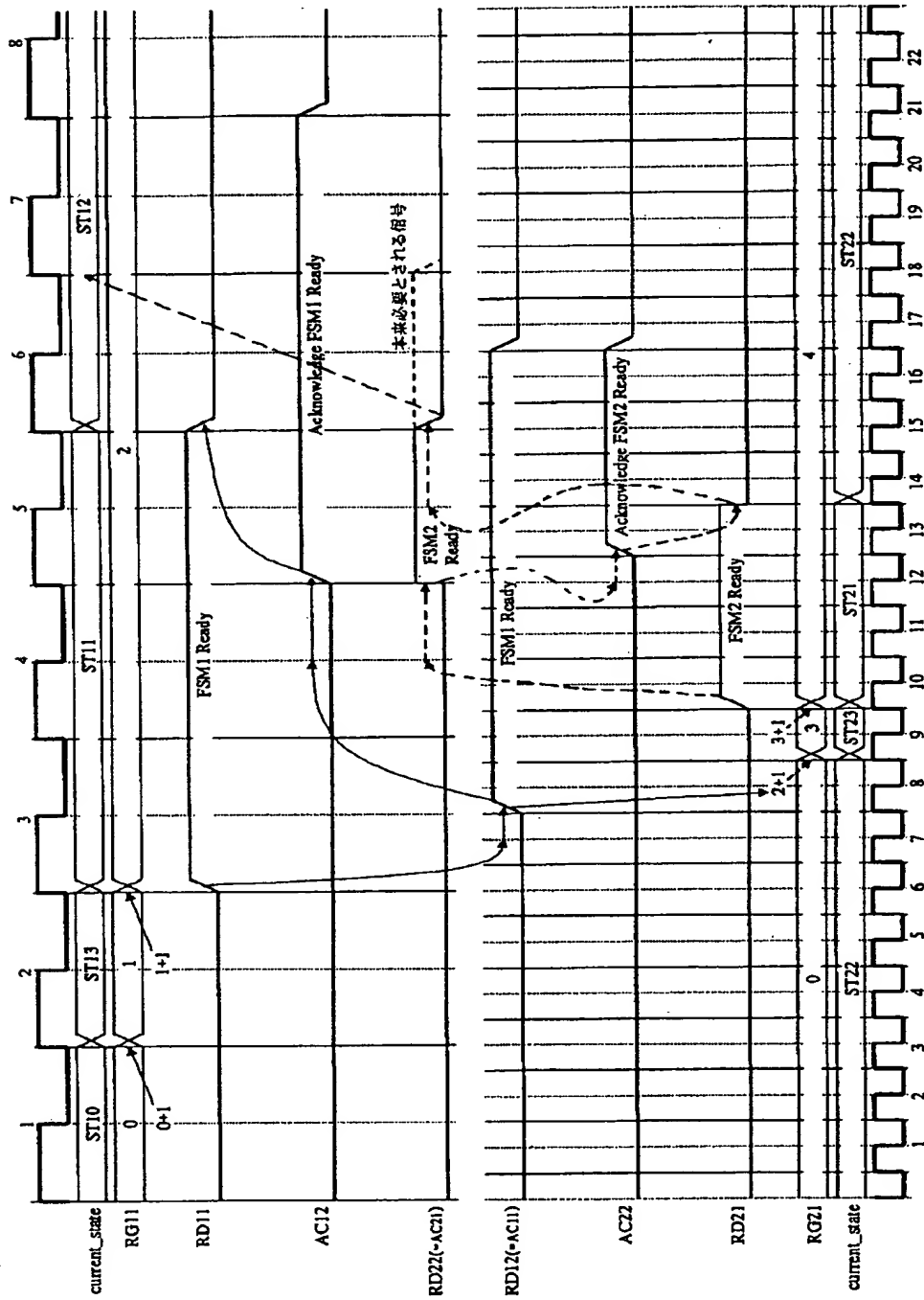
【図14】



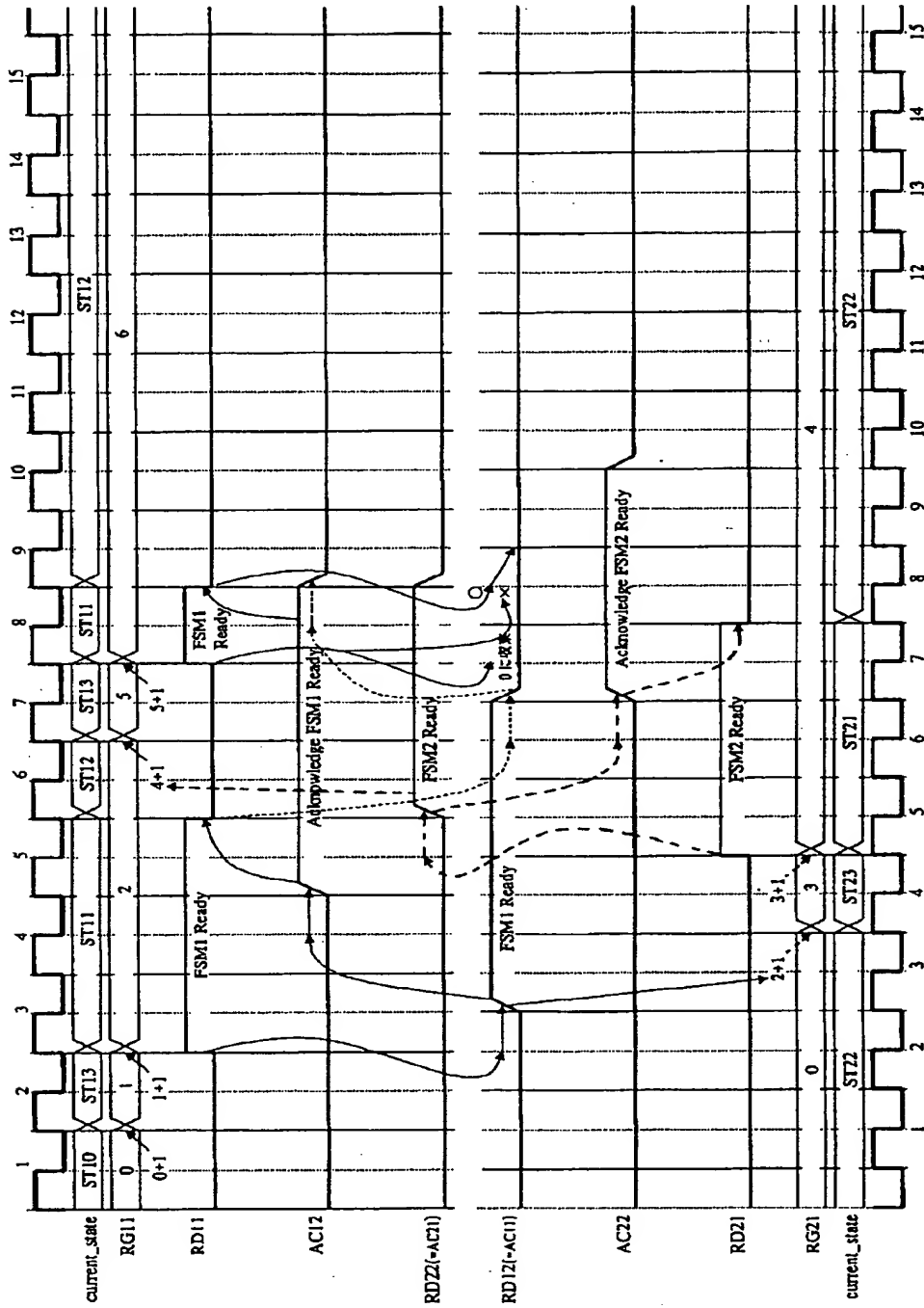
【図15】



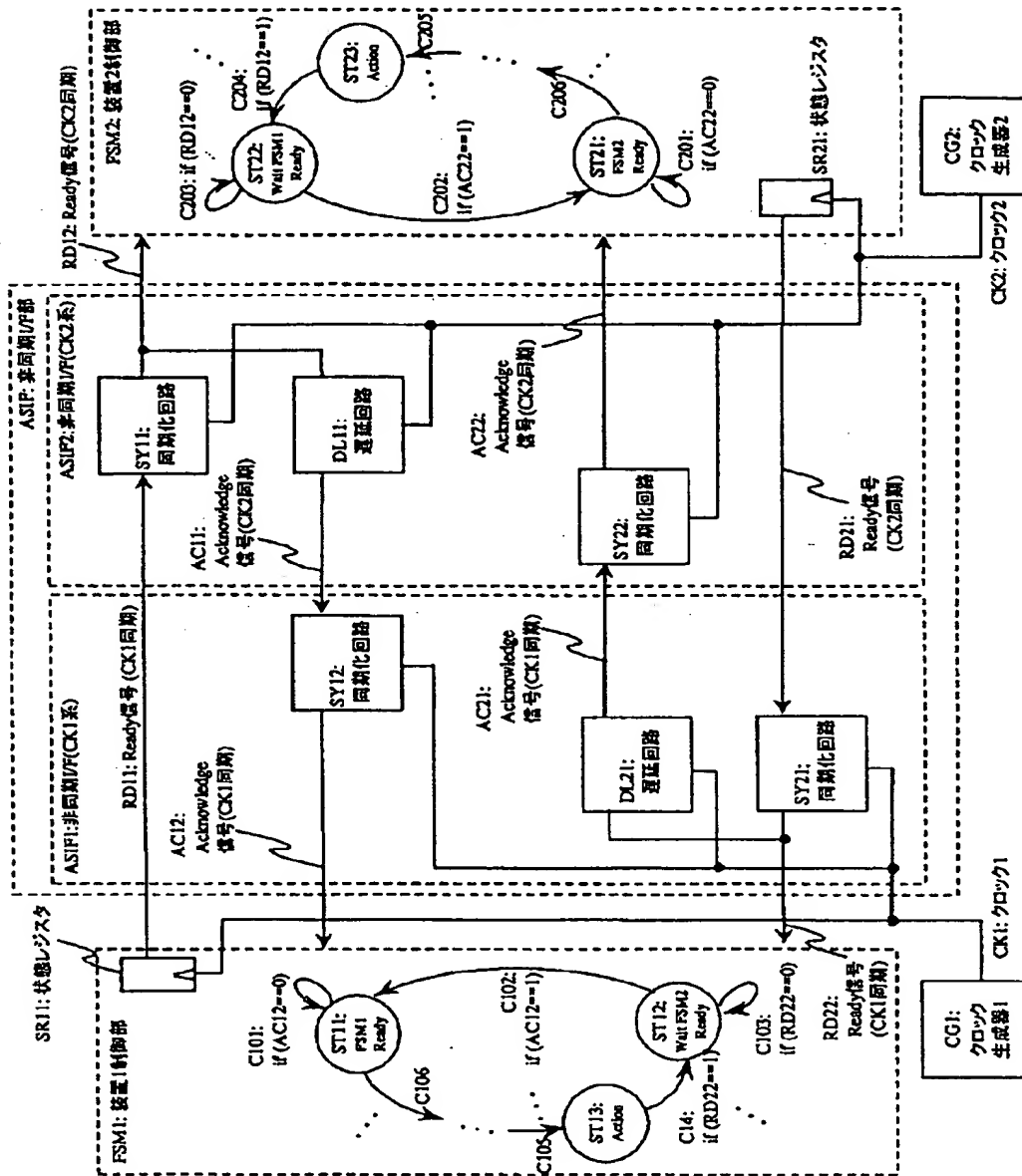
【図16】



【図 17】

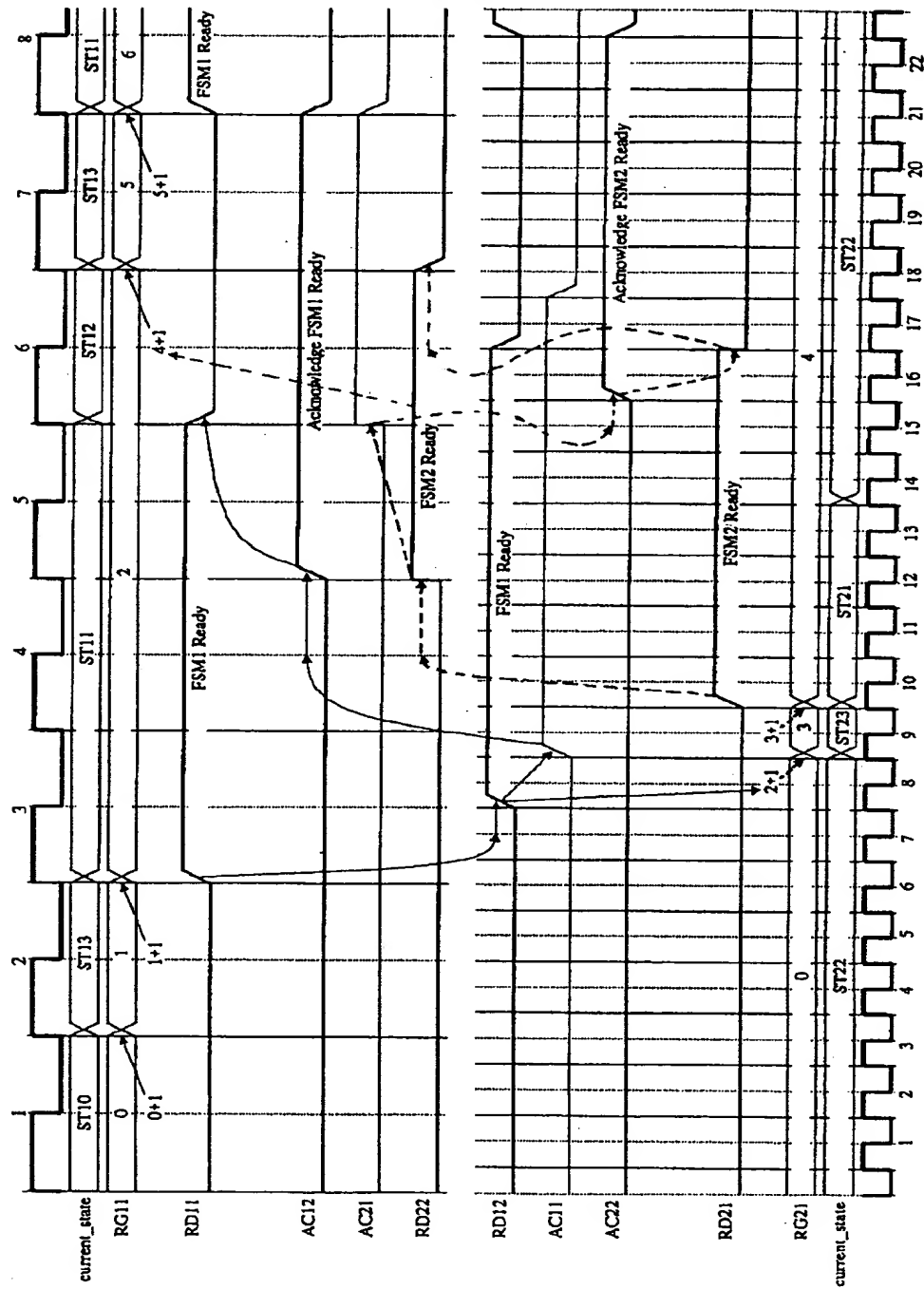


【図18】

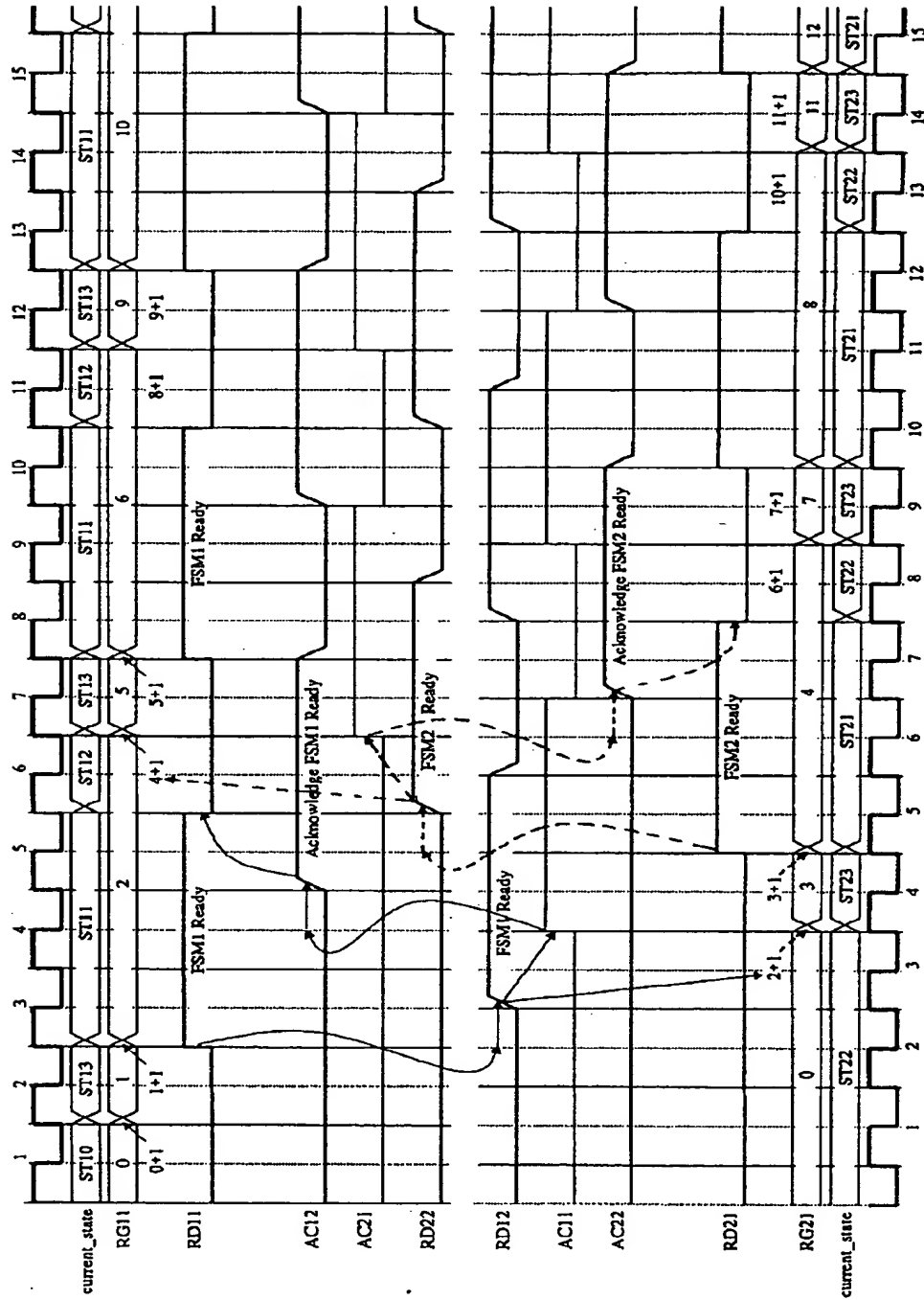




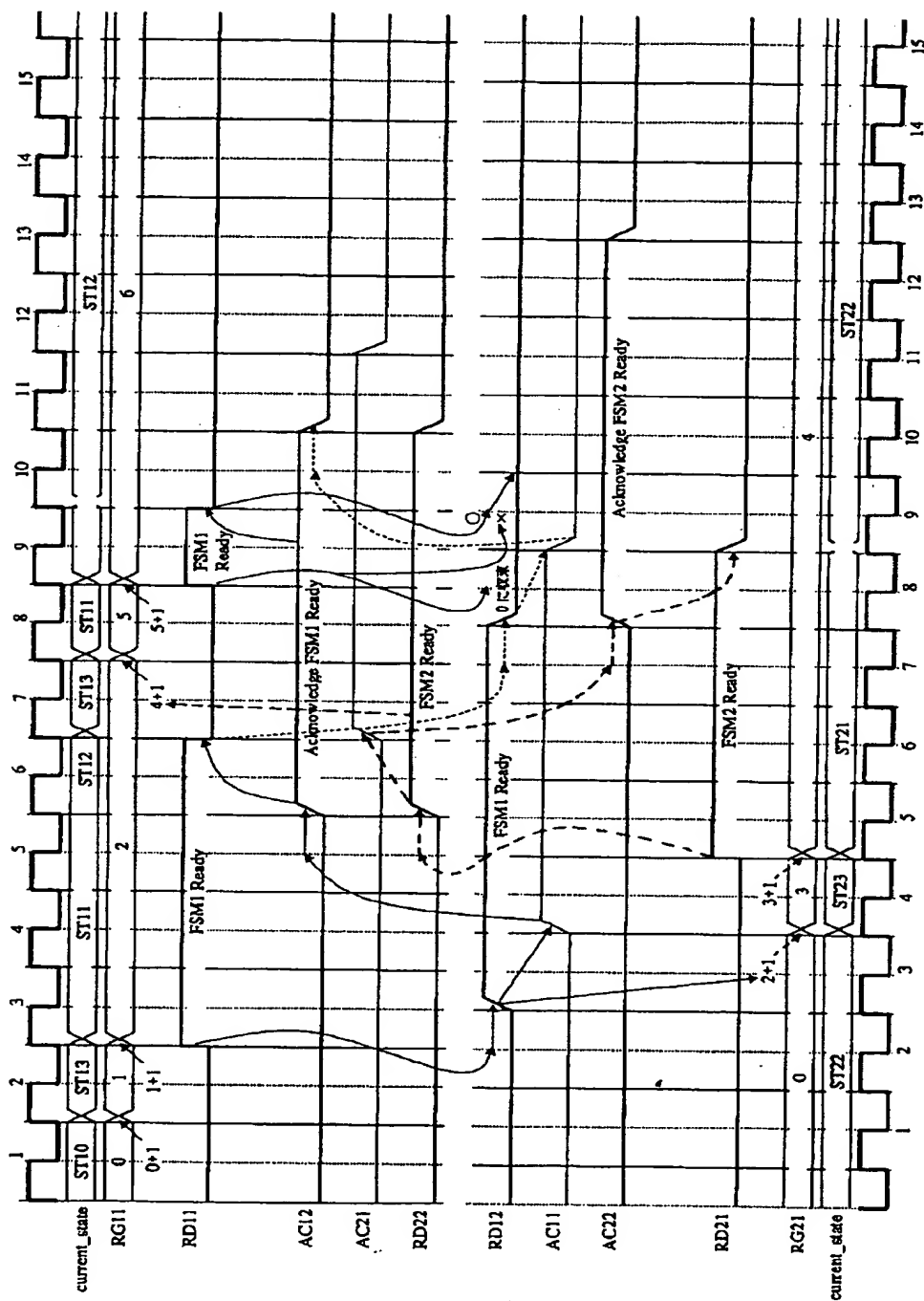
【図20】



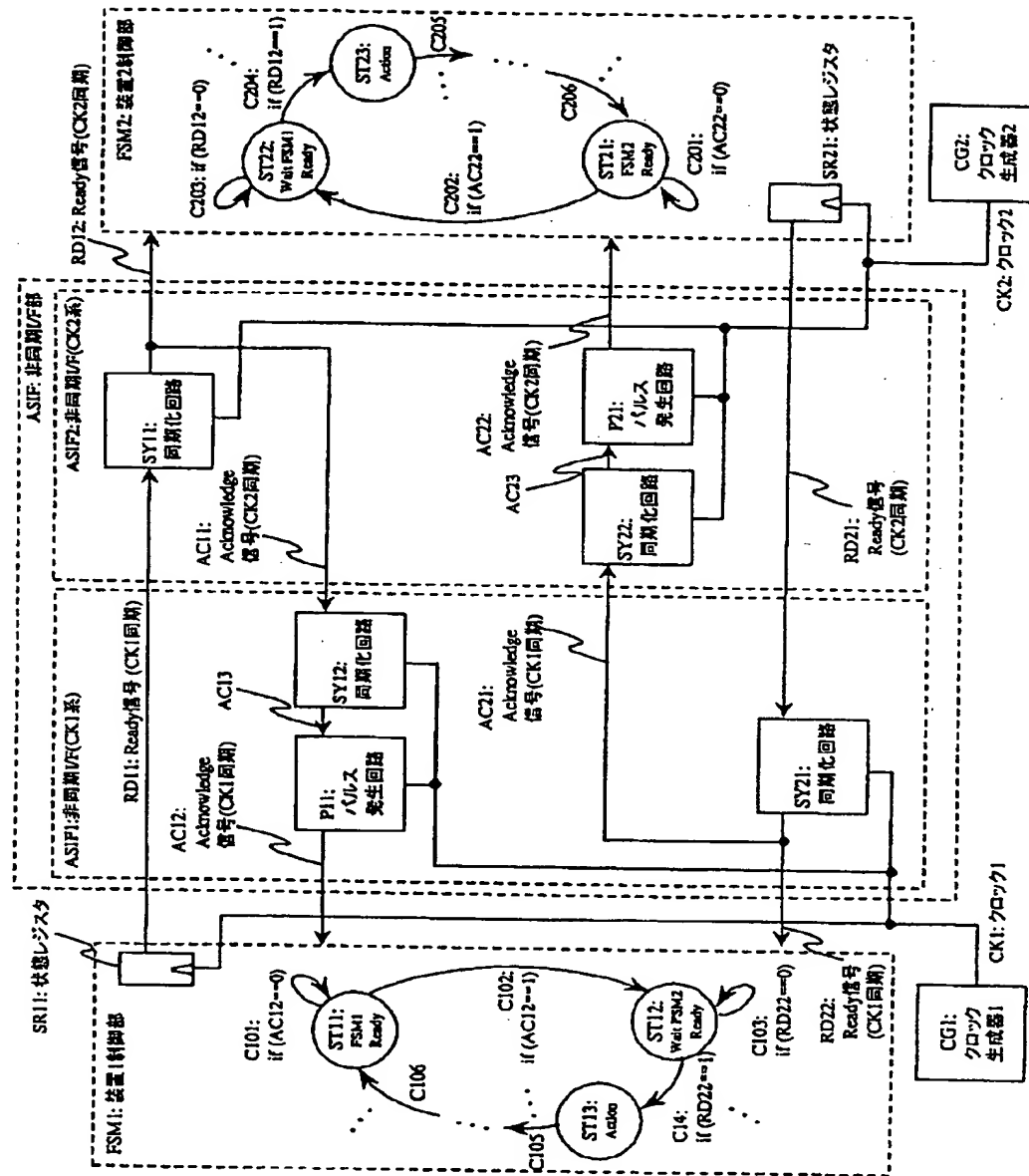
【図21】



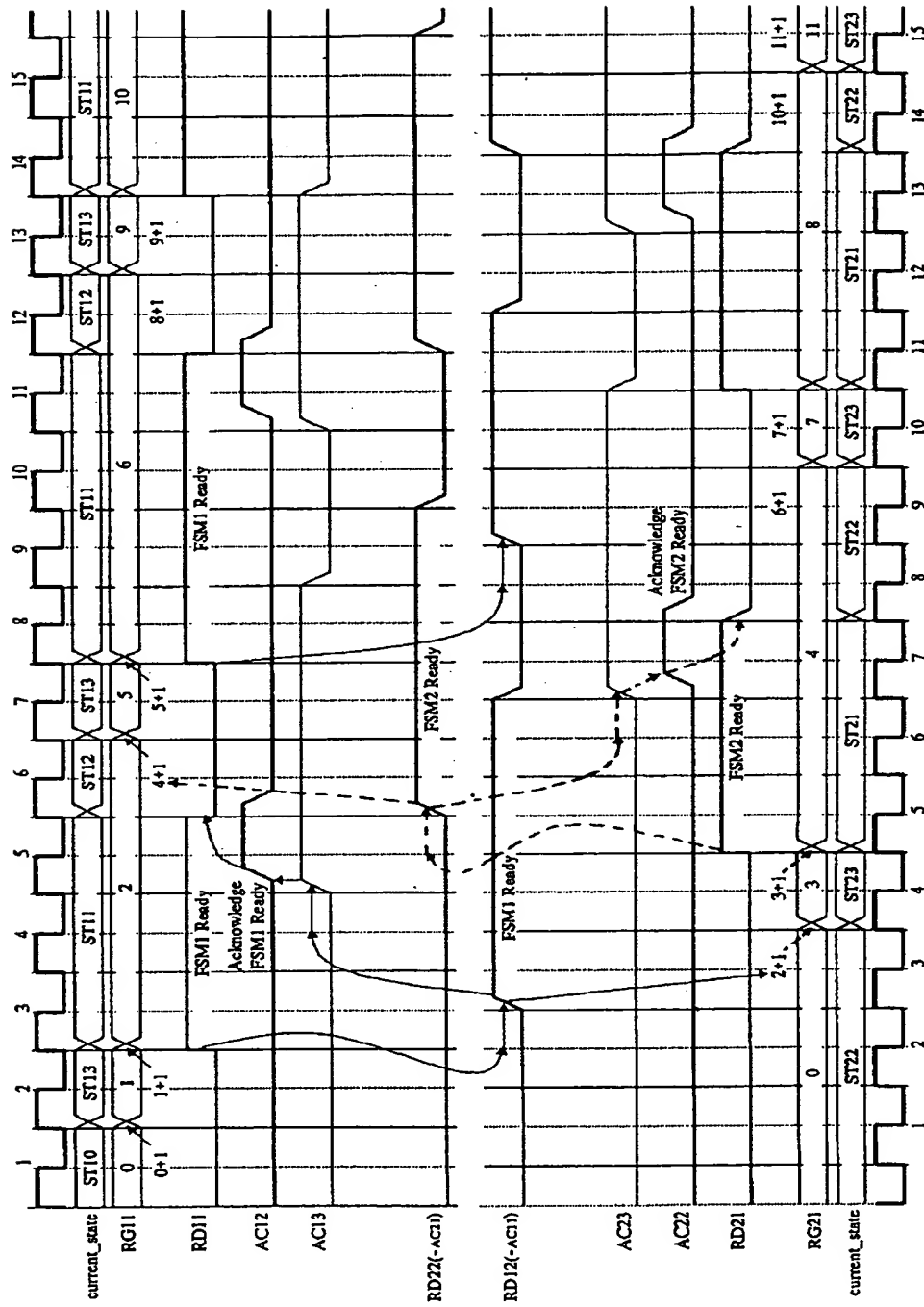
【図22】



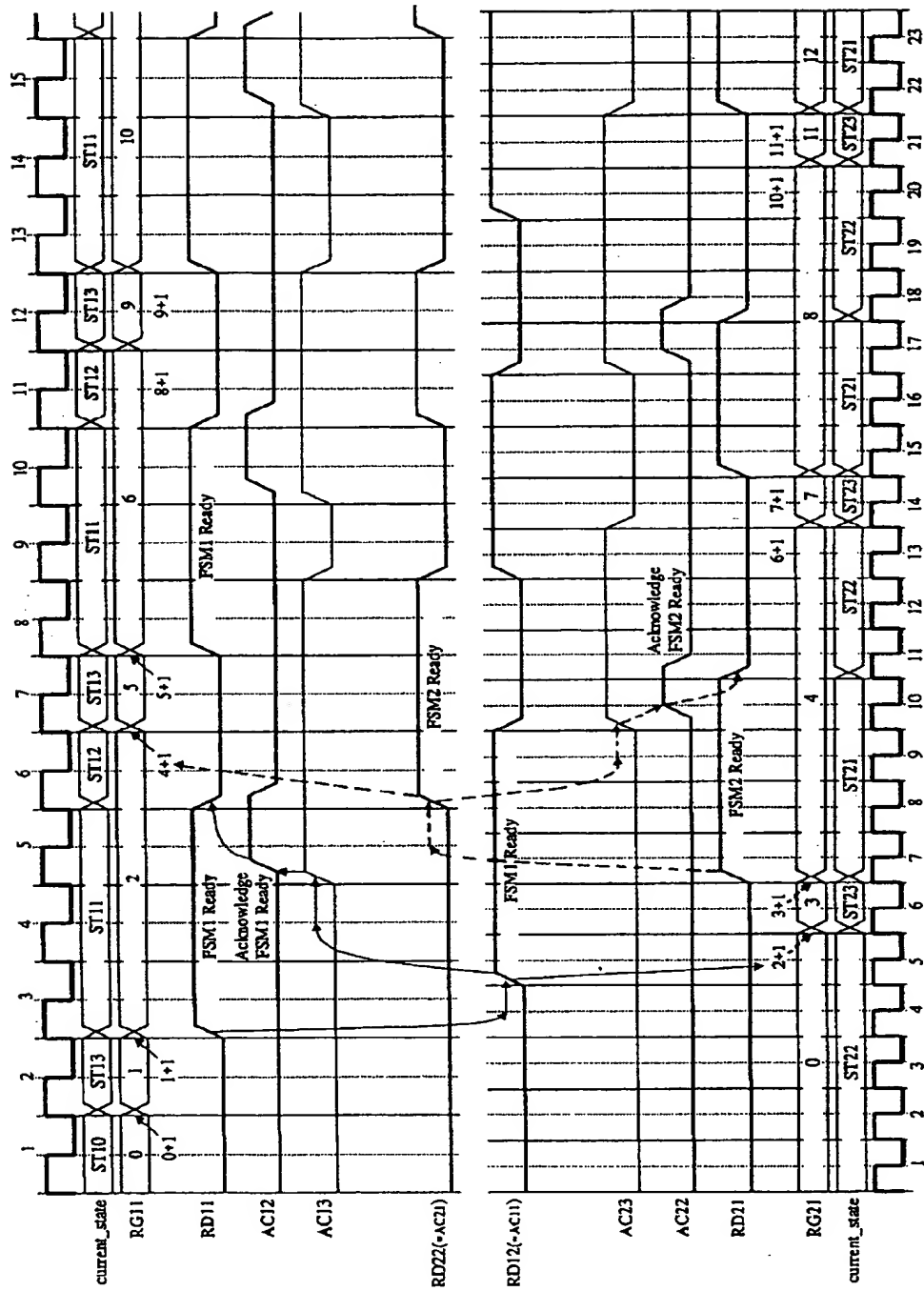
【図23】



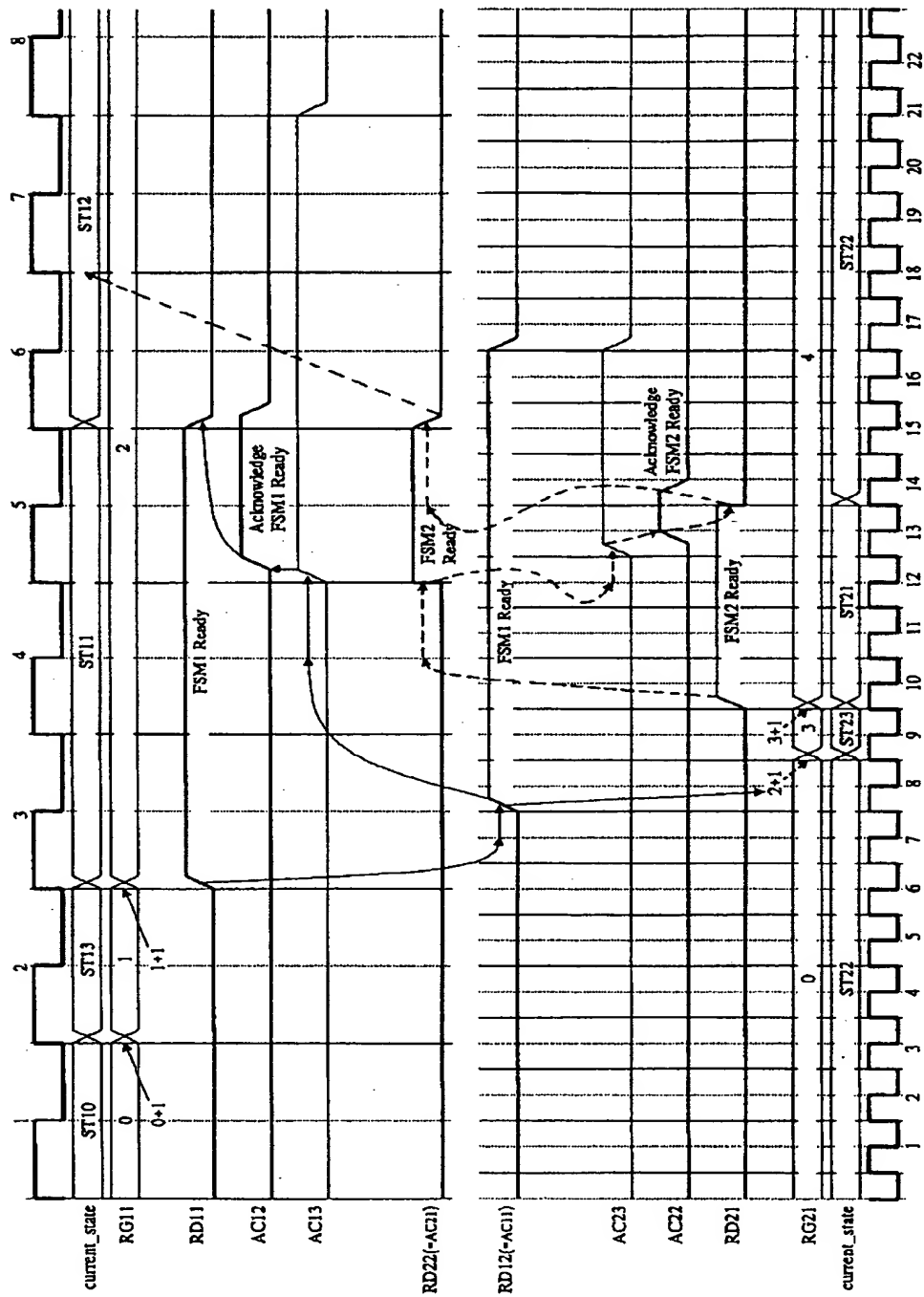
【図25】



【図26】

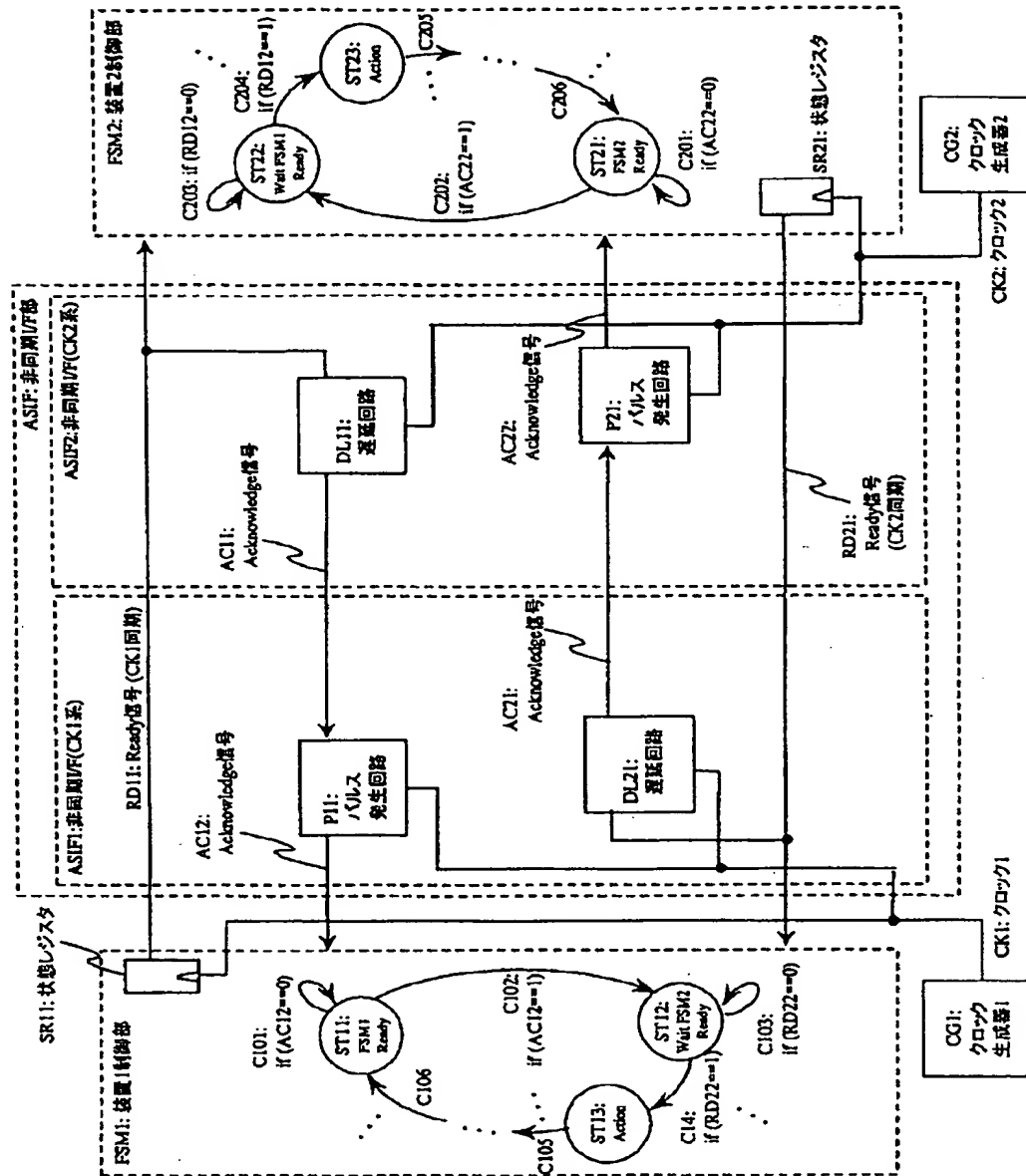


【図27】



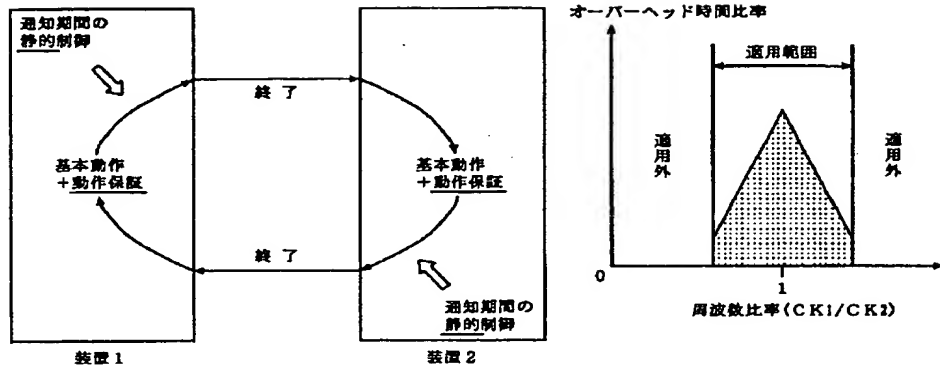


【図28】

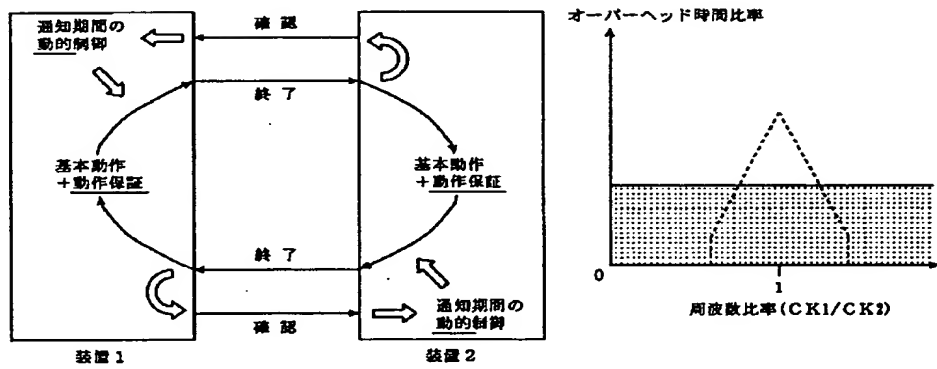


[illegible]

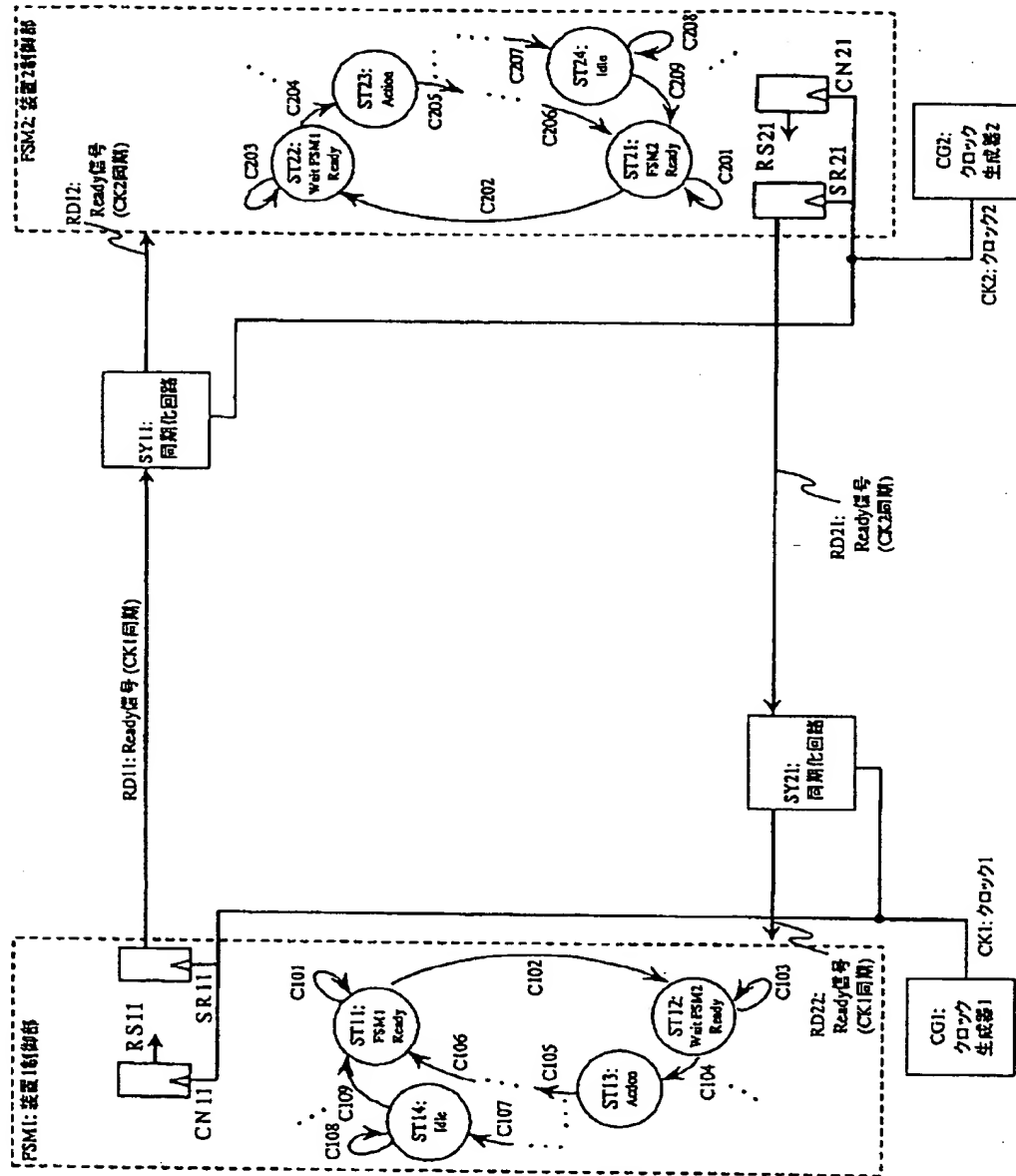
【図30】



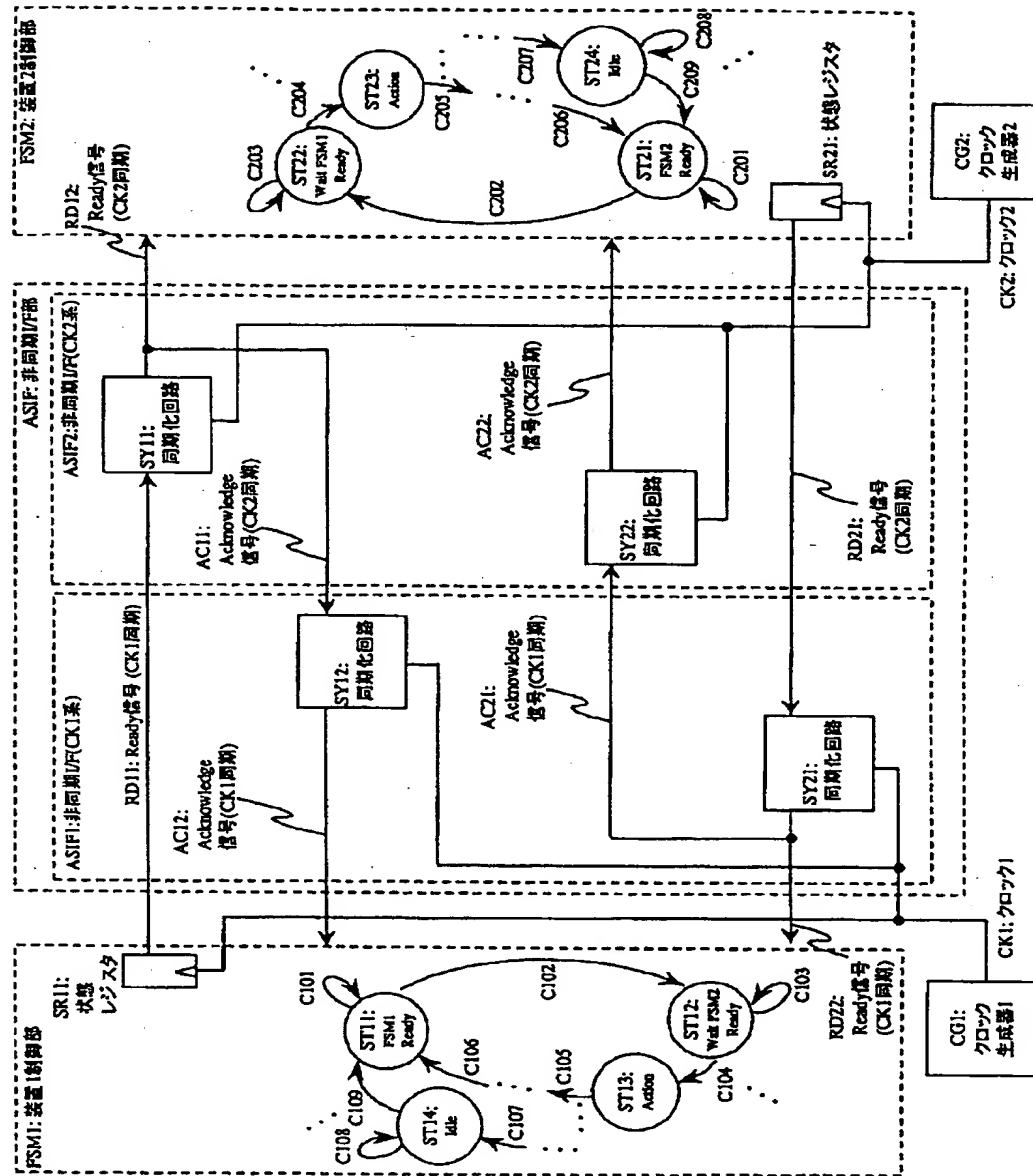
【図32】



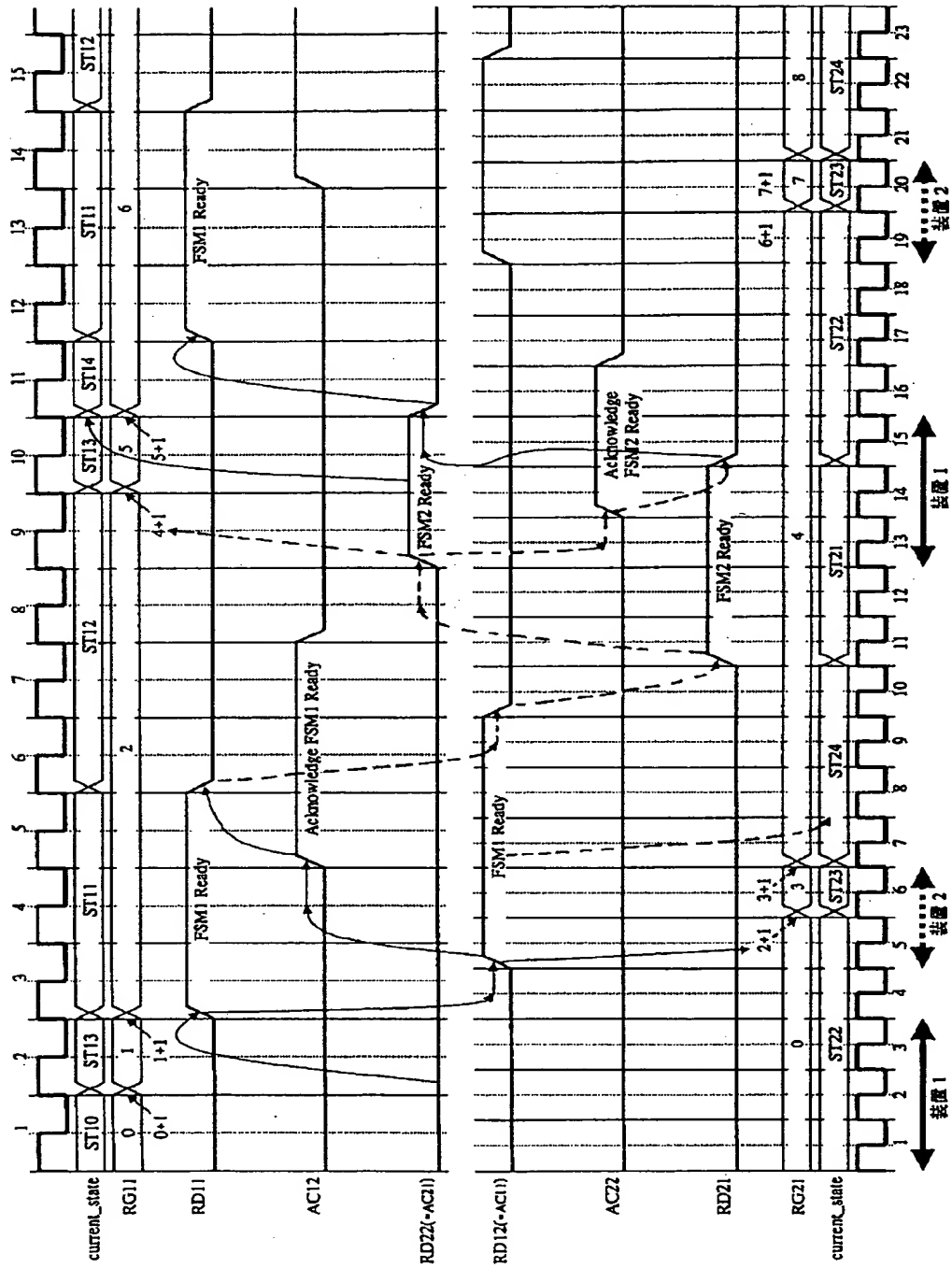
【図31】



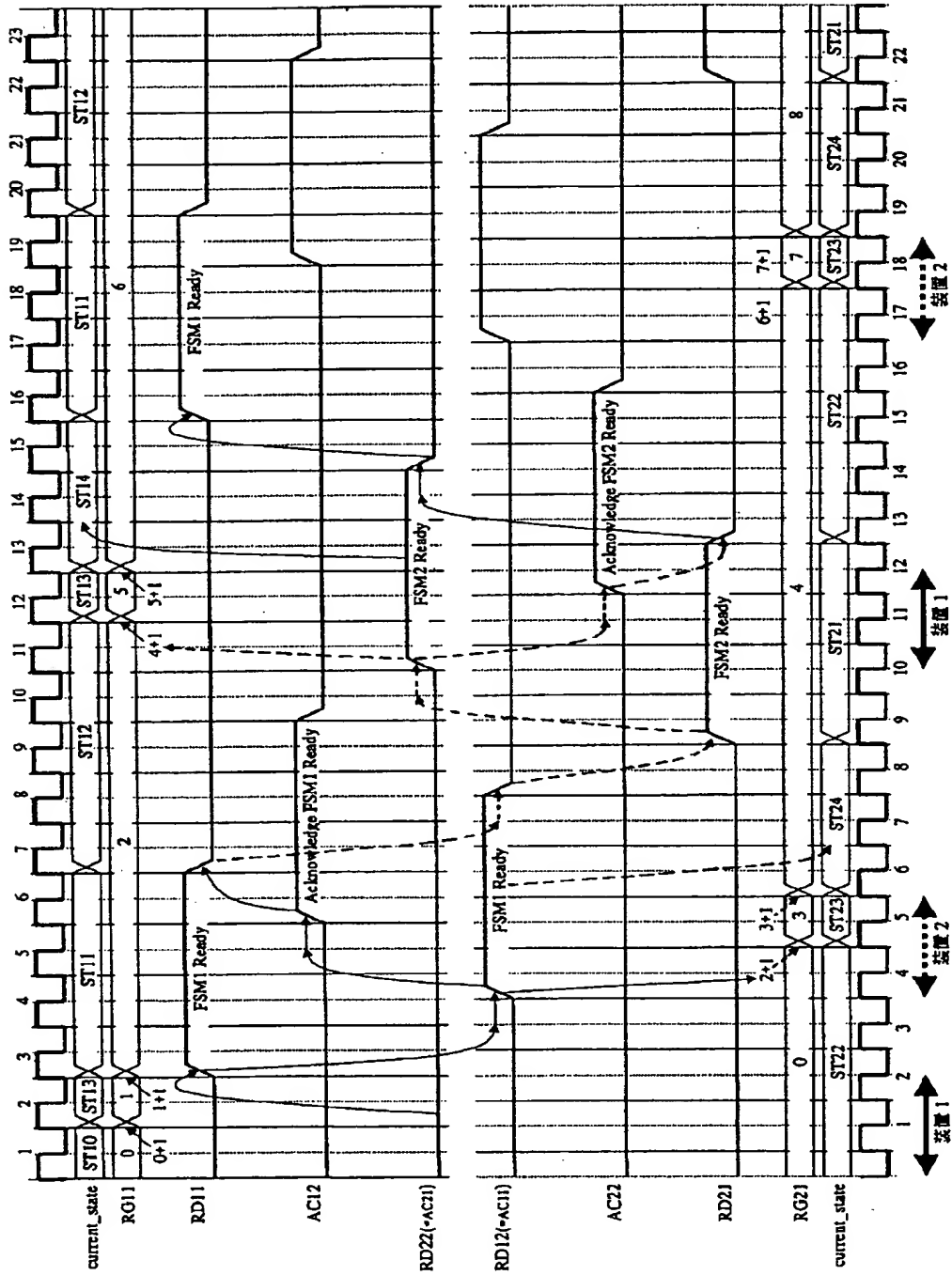
【図33】



【図34】



【図35】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**